

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110932

(43)Date of publication of application : 12.04.2002

(51)Int.CI.

H01L 27/105
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 2000-296076

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.09.2000

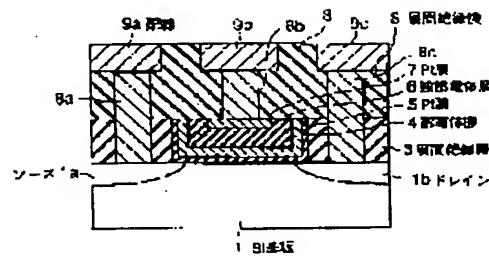
(72)Inventor : KANETANI HIROYUKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device reduced damages and improved in reliability, and to provide a method for manufacturing the same.

SOLUTION: A ferrodielectric capacitor structure is formed in a first trench using steps in which the first trench is formed on the interlayer insulating film 3 formed on a Si substrate 1; the surface of the Si substrate is exposed; a dielectric film 4, a Pt film 5 and a ferrodielectric film 6 and a Pt film 7 are deposited on the interlayer insulating film 3 including the first trench; the dielectric film 4, the Pt film 5 and the ferrodielectric film 6 and the Pt film 7 are deposited on the interlayer insulating film 3 planarized and removed to leave the dielectric film 4, the Pt film 5 and the ferrodielectric film 6 and the Pt film 7 in the first trench.



LEGAL STATUS

[Date of request for examination] 24.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

1

2

3

4

5

6

7

8

9

10

11

12

13

14

15

16

17

18

19

20

21

22

23

24

25

26

27

28

29

30

31

32

33

34

35

36

37

38

39

40

41

42

43

44

45

46

47

48

49

50

51

52

53

54

55

56

57

58

59

60

61

62

63

64

65

66

67

68

69

70

71

72

73

74

75

76

77

78

79

80

81

82

83

84

85

86

87

88

89

90

91

92

93

94

95

96

97

98

99

100

101

102

103

104

105

106

107

108

109

110

111

112

113

114

115

116

117

118

119

120

121

122

123

124

125

126

127

128

129

130

131

132

133

134

135

136

137

138

139

140

141

142

143

144

145

146

147

148

149

150

151

152

153

154

155

156

157

158

159

160

161

162

163

164

165

166

167

168

169

170

171

172

173

174

175

176

177

178

179

180

181

182

183

184

185

186

187

188

189

190

191

192

193

194

195

196

197

198

199

200

201

202

203

204

205

206

207

208

209

210

211

212

213

214

215

216

217

218

219

220

221

222

223

224

225

226

227

228

229

230

231

232

233

234

235

236

237

238

239

240

241

242

243

244

245

246

247

248

249

250

251

252

253

254

255

256

257

258

259

260

261

262

263

264

265

266

267

268

269

270

271

272

273

274

275

276

277

278

279

280

281

282

283

284

285

286

287

288

289

290

291

292

293

294

295

296

297

298

299

300

301

302

303

304

305

306

307

308

309

310

311

312

313

314

315

316

317

318

319

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-110932

(P2002-110932A)

(43) 公開日 平成14年4月12日 (2002.4.12)

(51) Int.Cl.⁷
H 01 L 27/105
21/8247
29/788
29/792

識別記号

F I
H 01 L 27/10
29/78
444A 5F001
444B 5F083
371 5F101

デマコード(参考)

(21) 出願番号 特願2000-296076(P2000-296076)

(22) 出願日 平成12年9月28日 (2000.9.28)

審査請求 未請求 請求項の数32 O.L (全25頁)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72) 発明者 金谷 宏行
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(74) 代理人 100058479
弁理士 鈴江 武彦 (外6名)

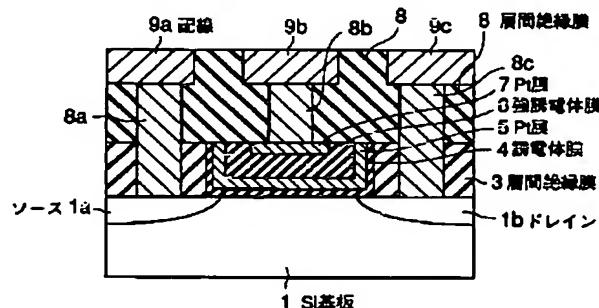
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ダメージが低減され、信頼性が向上する半導体装置及びその製造方法を提供する。

【解決手段】 S i 基板1上に形成された層間絶縁膜3に第1の溝を形成し、S i 基板1表面を露出し、第1の溝を含めた層間絶縁膜3上に誘電体膜4、P t 膜5、強誘電体膜6及びP t 膜7を堆積し、層間絶縁膜3上の誘電体膜4、P t 膜5、強誘電体膜6及びP t 膜7を平坦化除去し、第1の溝内に誘電体膜4、P t 膜5、強誘電体膜6及びP t 膜7を残存させることにより強誘電体キャパシタ構造を第1の溝内に形成する。



【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板上に形成された層間絶縁膜と、前記層間絶縁膜に形成された穴部と、前記穴部表面を覆うように前記半導体基板上に形成された強誘電体膜と、側部及び底部を前記強誘電体膜に囲まれた第1の電極とを具備してなることを特徴とする半導体装置。

【請求項2】 前記強誘電体膜と前記半導体基板との間にはさらに強誘電性を示さない誘電体膜が前記穴部表面を覆うように形成されてなることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記強誘電体膜の底部及び側部は前記誘電体膜に囲まれてなることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記誘電体膜と前記強誘電体膜との間には、さらに第2の電極が形成されてなることを特徴とする請求項2に記載の半導体装置。

【請求項5】 前記誘電体膜の底部及び側部は前記第2の電極に囲まれてなることを特徴とする請求項4に記載の半導体装置。

【請求項6】 半導体基板と、前記半導体基板上に形成された層間絶縁膜と、前記層間絶縁膜に形成された穴部と、前記穴部表面を覆うように前記半導体基板上に形成された強誘電体膜と、前記強誘電体膜上に形成された第1の電極とを具備してなることを特徴とする半導体装置。

【請求項7】 前記第1の電極は、前記強誘電体膜よりも膜幅が広いことを特徴とする請求項6に記載の半導体装置。

【請求項8】 前記強誘電体膜と前記半導体基板の間にはさらに、前記誘電体膜と膜幅が異なり、強誘電性を示さない誘電体膜が前記穴部表面を覆うように形成されてなることを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記強誘電性を示さない誘電体膜は、高誘電体膜であることを特徴とする請求項2又は8に記載の半導体装置。

【請求項10】 前記誘電体膜は、前記強誘電体膜よりも膜幅が広いことを特徴とする請求項8に記載の半導体装置。

【請求項11】 前記誘電体膜と前記強誘電体膜との間には第2の電極が形成されてなることを特徴とする請求項9に記載の半導体装置。

【請求項12】 前記第2の電極の膜幅は前記誘電体膜のそれよりも狭く、前記強誘電体膜のそれよりも広いことを特徴とする請求項10に記載の半導体装置。

【請求項13】 ソース及びドレインを有するセルトランジスタと、前記ソース及びドレインそれぞれに両端が電気的に接続された強誘電体キャパシタからなるユニットセルが複数直列に接続され、かつ前記強誘電体キャパシタに電気的に接続された配線層を有する半導体装置で

あって、

前記配線層と前記強誘電体キャパシタとの間に水素バリア膜が形成されてなることを特徴とする半導体装置。

【請求項14】 前記強誘電体キャパシタを覆うようにさらに形成された層間絶縁膜をさらに備え、前記層間絶縁膜上に前記水素バリア膜が形成されてなり、

前記水素バリア膜上に前記配線層が接して形成されてなることを特徴とする請求項13に記載の半導体装置。

【請求項15】 前記水素バリア膜は、前記配線層と前記セルトランジスタとの間に開口を有することを特徴とする請求項13に記載の半導体装置。

【請求項16】 前記水素バリア膜は、 Al_2O_3 , Al_xO_y , $\text{Al}_x\text{Si}_y\text{O}_z$, TiO_x のうちの少なくとも一つから構成されることを特徴とする請求項14に記載の半導体装置。

【請求項17】 基板上に形成された第1の層間絶縁膜に第1の溝を形成し、前記基板表面を露出する第1の工程と、

前記第1の溝表面を含み前記第1の層間絶縁膜表面に少なくとも電極材料を含む強誘電体キャパシタ材料を堆積する第2の工程と、

前記第1の溝内に前記強誘電体キャパシタ材料が残存するよう、前記第1の層間絶縁膜上の前記強誘電体キャパシタ材料のうち少なくとも前記電極材料を平坦化除去して強誘電体キャパシタ構造を前記第1の溝内に形成する第3の工程とを有することを特徴とする半導体装置の製造方法。

【請求項18】 前記強誘電体キャパシタ材料は、誘電体材料と第1の電極材料を有し、前記第1の溝表面を含めた第1の層間絶縁膜表面に強誘電体キャパシタ材料を堆積する工程は、

前記第1の溝表面を含めた第1の層間絶縁膜表面に前記強誘電体材料及び第1の電極材料を順次堆積する工程からなることを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項19】 前記第1の溝は、底部及び側部により規定され、第1の工程で、前記誘電体材料及び第1の電極材料は、前記底部及び側部に沿って積層して堆積し、前記第3の工程後、前記側部に前記誘電体材料及び第1の電極材料が順次積層して残存することを特徴とする請求項18に記載の半導体装置の製造方法。

【請求項20】 前記強誘電体キャパシタ材料は、誘電体材料、この誘電体材料よりも誘電率の高い強誘電体材料及び第1の電極材料を有し、前記第1の溝表面を含めた第1の層間絶縁膜表面に強誘電体キャパシタ材料を堆積する工程は、

前記第1の溝表面を含めた第1の層間絶縁膜表面に前記誘電体材料、前記強誘電体材料及び第1の電極材料を順次堆積する工程からなることを特徴とする請求項17に

記載の半導体装置。

【請求項21】 前記第1の溝は、底部及び側部により規定され、第1の工程で、前記誘電体材料、前記強誘電体材料及び第1の電極材料は、前記底部及び側部に沿って積層して堆積し、前記第3の工程後、前記側部に前記誘電体材料、前記強誘電体材料及び第1の電極材料が順次積層して残存することを特徴とする請求項20に記載の半導体装置の製造方法。

【請求項22】 前記強誘電体キャバシタ材料は、誘電体材料、この誘電体材料よりも誘電率の高い強誘電体材料、第1の電極材料及び第2の電極材料を有し、前記第1の溝表面を含めた第1の層間絶縁膜表面に強誘電体キャバシタ材料を堆積する工程は、

前記第1の溝表面を含めた第1の層間絶縁膜表面に前記誘電体材料、前記第2の電極材料、前記強誘電体材料及び前記第1の電極材料を順次堆積する工程からなることを特徴とする請求項17に記載の半導体装置。

【請求項23】 前記第1の溝は、底部及び側部により規定され、第1の工程で、前記誘電体材料、第2の電極材料、前記強誘電体材料及び第1の電極材料は、前記底部及び側部に沿って積層して堆積し、前記第3の工程後、前記側部に前記誘電体材料、第2の電極材料、前記強誘電体材料及び第1の電極材料が順次積層して残存することを特徴とする請求項22に記載の半導体装置の製造方法。

【請求項24】 基板上に形成された第1の層間絶縁膜に第1の溝を形成し、前記基板表面を露出する第1の工程と、

前記第1の溝を含めた前記第1の層間絶縁膜上に誘電体材料を堆積する第2の工程と、

前記第1の層間絶縁膜上の前記誘電体材料を平坦化除去して前記第1の溝内に前記誘電体材料を残存させる第3の工程と、

前記第1の層間絶縁膜及び前記誘電体材料上に第2の層間絶縁膜を堆積する第4の工程と、

前記第2の層間絶縁膜を選択的に除去して前記強誘電体材料を露出させ、第2の溝を形成する第5の工程と、

前記第2の溝を含めた前記第2の層間絶縁膜上に第1の電極材料を堆積する第6の工程と、

前記第2の層間絶縁膜上の前記第1の電極材料を平坦化除去して前記第2の溝内に前記第1の電極材料を残存させる第7の工程とを有することを特徴とする半導体装置の製造方法。

【請求項25】 前記第1の溝幅は前記第2の溝幅よりも小さいことを特徴とする請求項24に記載の半導体装置。

【請求項26】 基板上に形成された第1の層間絶縁膜に第1の溝を形成し、前記基板表面を露出する第1の工程と、

前記第1の溝を含めた前記第1の層間絶縁膜上に第2の

電極材料を堆積する第2の工程と、

前記第1の層間絶縁膜上の前記第2の電極材料を平坦化除去して前記第1の溝内に前記第2の電極材料を残存させる第3の工程と、

前記第1の層間絶縁膜及び第2の電極材料上に第2の層間絶縁膜を堆積する第4の工程と、

前記第2の層間絶縁膜に第2の溝を形成し、前記第2の電極材料表面を露出する第5の工程と、

前記第2の溝を含めた前記第2の層間絶縁膜上に誘電体材料を堆積する第6の工程と、

前記第2の層間絶縁膜上の前記誘電体材料を平坦化除去して前記第2の溝内に前記誘電体材料を残存させる第7の工程と、

前記第2の層間絶縁膜及び前記誘電体材料上に第3の層間絶縁膜を堆積する第8の工程と、

前記第3の層間絶縁膜を選択的に除去して前記誘電体材料を露出させ、第3の溝を形成する第9の工程と、

前記第3の溝を含めた前記第3の層間絶縁膜上に第1の電極材料を堆積する第10の工程と、

前記第3の層間絶縁膜上の前記第1の電極材料を平坦化除去して前記第3の溝内に前記第1の電極材料を残存させる第11の工程とを有することを特徴とする半導体装置の製造方法。

【請求項27】 前記第1の溝幅は前記第2の溝幅よりも広いことを特徴とする請求項26に記載の半導体装置の製造方法。

【請求項28】 基板上に形成された第1の層間絶縁膜に第1の溝を形成し、前記基板表面を露出する第1の工程と、

前記第1の溝を含めた前記第1の層間絶縁膜上に誘電体材料及び第2の電極材料を順次堆積する第2の工程と、前記第1の層間絶縁膜上の前記誘電体材料及び前記第2の電極材料を平坦化除去して前記第1の溝内に前記誘電体材料及び前記第2の電極材料の積層構造を残存させる第3の工程と、

前記第1の層間絶縁膜及び第2の電極材料上に第2の層間絶縁膜を堆積する第4の工程と、

前記第2の層間絶縁膜に第2の溝を形成し、前記第2の電極材料表面を露出する第5の工程と、

前記第2の溝を含めた前記第2の層間絶縁膜上に前記誘電体材料よりも誘電率の高い強誘電体材料を堆積する第6の工程と、

前記第2の層間絶縁膜上の前記強誘電体材料を平坦化除去して前記第2の溝内に前記強誘電体材料を残存させる第7の工程と、

前記第2の層間絶縁膜及び前記強誘電体材料上に第3の層間絶縁膜を堆積する第8の工程と、

前記第3の層間絶縁膜を選択的に除去して前記強誘電体材料を露出させ、第3の溝を形成する第9の工程と、

前記第3の溝を含めた前記第3の層間絶縁膜上に第1の

電極材料を堆積する第10の工程と、前記第3の層間絶縁膜上の前記第1の電極材料を平坦化除去して前記第3の溝内に前記第1の電極材料を残存させる第11の工程とを有することを特徴とする半導体装置の製造方法。

【請求項29】前記基板上に形成された前記第1の層間絶縁膜に第1の溝を形成する工程は、前記基板上にシリコン酸化膜、ポリシリコン、窒化珪素、 W_xSi_y 、 Ti_xSi_y 及び Co_xSi_y のうち少なくとも一つを含むゲート材料を選択的に形成する工程と、前記ゲート材料を含めた前記基板上に第1の層間絶縁膜を堆積する工程と、前記ゲート材料を選択的に除去して前記基板表面を露出させて前記第1の溝を形成する工程からなることを特徴とする請求項17、24、26及び28に記載の半導体装置の製造方法。

【請求項30】基板に第1の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜を選択的に除去して前記基板を露出させて第1の溝を形成する工程と、前記第1の溝内に金属を埋め込む工程と、前記第1の層間絶縁膜及び前記金属上に強誘電体キャバシタ構造を形成する工程と、前記強誘電体キャバシタ構造上に水素バリア膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項31】前記強誘電体キャバシタ構造上を覆うように第2の層間絶縁膜を形成し、該第2の層間絶縁膜を介して前記強誘電体キャバシタ上に前記水素バリア膜を形成することを特徴とする請求項30に記載の半導体装置の製造方法。

【請求項32】前記水素バリア膜上に第3の層間絶縁膜を形成する工程と、前記水素バリア膜をストップとして、前記第3の層間絶縁膜を貫通し、前記水素バリア膜を露出させて配線溝を形成する工程とを有することを特徴とする請求項30に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体ゲート構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】強誘電体ゲート構造を有する半導体メモリは、トランジスタ上に強誘電体キャバシタを作成する。従って、ユニットセルがトランジスタ1個分の面積で済むため、高集積化に有効である。

【0003】

【発明が解決しようとする課題】しかしながら、強誘電体ゲート構造を有する半導体メモリの製造技術には未だ課題が多く、製品化には至っていないのが現状である。

強誘電体ゲート構造の作成に関しては、従来エッチング技術を用いた方法がしばしば用いられている。

【0004】この従来の強誘電体ゲート構造を有する半導体メモリの製造プロセスの一例を図39の工程断面図を用いて説明する。

【0005】図39(a)に示すように、ソース301a及びドレイン301bが形成されたシリコン基板301の全面に、例えばCVD法により Bi_2SiO_5 からなる膜厚5nmの誘電体膜302を形成する。次に、例えばCVD法等を用いて膜厚10nmのPt膜303を全面に形成する。次に、例えばCVD法等を用いてSBTからなる膜厚30nmの強誘電体膜304を全面に形成する。次に、例えばCVD法等を用いて膜厚10nmのPt膜305を全面に形成する。

【0006】そして、これら誘電体膜302、Pt膜303、強誘電体膜304及びPt膜305を例えれば酸化膜あるいはレジスト306をマスクとしてRIE(Reactive Ion Etching)等のドライエッティングにより選択的に除去する。これにより、ソース301a及びドレイン301bの一部が露出する。

【0007】次に、図39(b)に示すように、装置全面に層間絶縁膜307を堆積する。次に、層間絶縁膜307を選択的に除去して所定の深さの溝部308d～308fを形成する。そして、この層間絶縁膜307を選択的に除去してソース301aまで貫通するコンタクトホール308a、ドレイン301bまで貫通するコンタクトホール308b及びPt膜305まで貫通するコンタクトホール308cを形成する。そして、各コンタクトホール308a～308c及び溝部308d～308f内を含めて金属を堆積する。その後、装置表面を平坦化除去して層間絶縁膜307を露出させる。これにより、コンタクト311a～311c及び配線311d～311fが形成される。

【0008】しかしながら、上記図39(a)の工程でドライエッティングとして例えばRIE法による場合、プラズマやケミカルなダメージが誘電体膜302、Pt膜303、強誘電体膜304及びPt膜305に及ぶ。また、このドライエッティングが過度になされる場合、ソース301a及びドレイン301bまでダメージが及ぶ。

【0009】このように、従来の強誘電体ゲート構造形成プロセスは、ダメージが生じやすい。そのダメージは微細化に伴い顕著となり、信頼性の低下を誘引していた。

【0010】また、強誘電体キャバシタは、代表的には上下電極に白金(Pt)を用い、強誘電体膜にPZT($Pb_{1-x}Ti_xO_3$)膜を用いて形成される。シリコン基板を用いたLSIプロセスでFeRAMを作る場合には、トランジスタ等が形成されたシリコン基板の表面を酸化膜等の絶縁膜で覆い、この絶縁膜上に下部Pt電極、PZT膜及び上部Pt電極をパターン形成して強誘

電体キャパシタが製造される。通常下部P t電極の下地には、密着性をよくするためにTiあるいはTiO_x膜等を介在させる。

【0011】この従来の強誘電体キャパシタの場合、Si-LSIプロセス中に含まれる水素等の還元ガスにより、強誘電体特性が劣化すること、具体的には自発分極量の低下が生じることが知られている。この水素還元による強誘電体キャパシタの特性劣化対策として、水素等のキャパシタ部への侵入を防止する保護対策が従来いくつか提案されているが、これまでのところ簡便かつ確実なものは未だない。

【0012】水素還元による特性劣化の他に、強誘電体キャパシタでは、加工プロセスダメージによる特性劣化が生じることは前述の通りである。例えば、P Z T等の強誘電体キャパシタとSiO₂絶縁膜との相互拡散を防止するため、これらが直接接触しないように、強誘電体キャパシタを拡散防止膜で覆う方法は、特開平8-335673号公報に開示されている。拡散防止膜としては、TiO₂、ZrO₂、Al₂O₃等が有効であるとされている。しかし、ここで問題としているのは、相互拡散によるキャパシタ強誘電体膜の剥離現象であり、加工プロセスで生じる水素拡散による強誘電体キャパシタ特性の劣化は問題とされていない。

【0013】一方、最近の本発明者の研究によると、強誘電体キャパシタとSiO₂絶縁膜との密着層としてTiO_xを用いることは、いくつかの不都合をもたらすことが分かった。例えば、P Z T膜中へTiが拡散することによる強誘電特性の劣化が生じることが分かった。

【0014】本発明は上記課題を解決するためになされたもので、その目的とするところは、ダメージが低減され、信頼性が向上する半導体装置及びその製造方法を提供することにある。

【0015】また、本発明の別の目的は優れた特性の強誘電体キャパシタを有する半導体装置及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】この発明の第1の観点によれば、本発明は、半導体基板と、前記半導体基板上に形成された強誘電体膜と、側部及び底部を前記強誘電体膜に囲まれた第1の電極とを具備してなることを特徴とする半導体装置を提供する。

【0017】また、別の観点によれば、本発明は、半導体基板と、前記半導体基板上に形成された強誘電体膜と、前記強誘電体膜上に形成され、該強誘電体膜よりも膜幅の広い第1の電極とを具備してなることを特徴とする半導体装置を提供する。

【0018】また、別の観点によれば、本発明は、ソース及びドレインを有するセルトランジスタと、前記ソース及びドレインそれぞれに両端が電気的に接続された強誘電体キャパシタからなるユニットセルが複数直列に接

続され、かつ前記強誘電体キャパシタに電気的に接続された配線層を有する半導体装置において、前記配線層と前記強誘電体キャパシタとの間に水素バリア膜が形成されてなることを特徴とする半導体装置を提供する。

【0019】また、別の観点によれば、本発明は、基板上に形成された第1の層間絶縁膜に第1の溝を形成し、前記基板表面を露出する第1の工程と、前記第1の溝を含めた前記第1の層間絶縁膜上に少なくとも電極材料を含む強誘電体キャパシタ材料を堆積する第2の工程と、前記第1の層間絶縁膜上の前記強誘電体キャパシタ材料のうち、少なくとも電極材料を平坦化除去し、前記第1の溝内に前記強誘電体キャパシタ材料を残存させることにより強誘電体キャパシタ構造を前記第1の溝内に形成する第3の工程とを有することを特徴とする半導体装置の製造方法を提供する。

【0020】このように、層間絶縁膜に選択的に形成された溝に強誘電体キャパシタ構造を作り込む。これにより、ゲートキャパシタ構造の際に基板が露出した状態でのRIE等を用いたパターニング工程が不要となる。従って、プラズマやケミカル等のダメージが基板表面に及ばない。

【0021】また、平坦化除去工程により強誘電体キャパシタ材料を加工する。これにより、パターニングにより生じるダメージが強誘電体キャパシタ材料等に及ぶことはない。

【0022】また、別の観点によれば、本発明は、基板上に形成された第1の層間絶縁膜に第1の溝を形成し、前記基板表面を露出する第1の工程と、前記第1の溝を含めた前記第1の層間絶縁膜上に誘電体材料を堆積する第2の工程と、前記第1の層間絶縁膜上の前記誘電体材料を平坦化除去して前記第1の溝内に前記誘電体材料を残存させる第3の工程と、前記第1の層間絶縁膜及び前記誘電体材料上に第2の層間絶縁膜を堆積する第4の工程と、前記第2の層間絶縁膜を選択的に除去して前記強誘電体材料を露出させ、第2の溝を形成する第5の工程と、前記第2の溝を含めた前記第2の層間絶縁膜上に第1の電極材料を堆積する第6の工程と、前記第2の層間絶縁膜上の前記第1の電極材料を平坦化除去して前記第2の溝内に前記第1の電極材料を残存させる第7の工程とを有することを特徴とする半導体装置の製造方法を提供する。

【0023】このように、層間絶縁膜に選択的に形成された溝に強誘電体キャパシタ構造を作り込む。これにより、ゲートキャパシタ構造の際に基板が露出した状態でのRIE等を用いたパターニング工程が不要となる。従って、プラズマやケミカル等のダメージが基板表面に及ばない。

【0024】また、平坦化除去工程により強誘電体キャパシタ材料を加工する。これにより、パターニングにより生じるダメージが強誘電体キャパシタ材料等に及ぶこ

とはない。

【0025】また、強誘電体キャパシタ材料を構成する誘電体膜及び電極材料がそれぞれ別の工程で順次製造される。従って、各材料を形成するための溝幅を制御することにより、各材料の面積制御を容易に行うことができる。

【0026】

【発明の実施の形態】以下、図面を参照しながら本発明の実施形態を説明する。

【0027】(第1実施形態)図1は本発明の第1実施形態に係る半導体装置の全体構成を示す縦断面図である。本実施形態は、本発明をMFMIS(電極/強誘電体膜/電極/誘電体膜/半導体)構造に適用する例を示す。

【0028】図1に示すように、Si基板1にソース1a及びドレイン1bが形成されている。このSi基板1上には、層間絶縁膜3が形成されている。この層間絶縁膜3には溝部が形成されている。Si基板1のうち、ソース1a及びドレイン1bの形成されていないチャネル領域上からソース1a及びドレイン1bの一部にオーバーラップするようにこの溝部が形成されている。この溝部内には、例えば Bi_2SiO_5 からなる膜厚5nmの誘電体膜4が、この溝部の底面及び側面を覆うように薄く形成されている。また、この誘電体膜4の底部及び側部を覆うように、膜厚10nmのPt膜5が薄く形成されている。また、このPt膜5の底部及び側部を覆うように、SBTからなる膜厚30nmの強誘電体膜6が薄く形成されている。また、この強誘電体膜6の底部及び側部を覆うように、膜厚10nmのPt膜7が薄く形成されている。これら誘電体膜4、Pt膜5、強誘電体膜6及びPt膜7により、溝部が充填される構造となっている。誘電体膜4、Pt膜5、強誘電体膜6はそれぞれ断面形状がコの字型をしている。なお、以下単に誘電体膜と称する構成は、強誘電性を示さない誘電体膜を指し、例えば高誘電体膜等が該当する。

【0029】さらに、層間絶縁膜3上には層間絶縁膜8が形成されている。層間絶縁膜3及び8にはコンタクト8a～8cが形成されている。層間絶縁膜3及び8を貫通し、ソース1aまで達するコンタクトホールに金属が埋め込まれてコンタクト8aが形成される。層間絶縁膜3及び8を貫通し、ドレイン1bまで達するコンタクトホールに金属が埋め込まれてコンタクト8bが形成される。また、層間絶縁膜8を貫通し、Pt膜7まで達するコンタクトホールに金属が埋め込まれてコンタクト8cが形成される。また、この層間絶縁膜8には各コンタクト8a～8cにオーバーラップするように溝部が形成されている。この溝部には、コンタクト8a～8cとそれぞれ電気的に接続される配線9a～9cが形成されている。

【0030】次に、本実施形態に係る半導体装置の製造

方法を図2(a)～図4(g)の工程断面図を用いて順に説明する。

【0031】まず、図2(a)に示すように、Si基板1全面にpoly-Si2a及びSiN2bを順次積層形成する。そして、SiN2b及びpoly-Si2aをパターニングしてこれらをSi基板1上に選択的に残存させる。これら選択的に残存するSiN2b及びpoly-Si2aの積層構造がダミーゲートとして機能する。以下、2a及び2bの積層構造をダミーゲート2と呼ぶ。なお、以下の実施形態を通じて、図示はしないが、Si基板1表面にはゲート酸化膜2が形成されている。

【0032】次に、図2(b)に示すように、このダミーゲート2をマスクとしてSi基板1表面にソース1a及びドレイン1bを例えばイオン注入法等を用いて形成する。次に、ソース1a及びドレイン1bの形成されたSi基板1上に層間絶縁膜3を堆積する。そして、この層間絶縁膜3の表面を平坦化することによりダミーゲート2を露出させる。この平坦化工程では、SiN2bがストップとして機能する。

【0033】次に、図2(c)に示すように、層間絶縁膜3を残存させつつダミーゲート2を選択的に除去する。このダミーゲート2の除去工程は、ウェットエッチングとCDE(Chemical Dry Etching)を用いて行われる。このように、RIE法を用いずに除去を行うため、ソース1aやドレイン1bに及ぶダメージが低減される。ここで、ダミーゲート2を取り除いて強誘電体キャパシタを作成することとなるが、ダミーゲート2を除去しない部分もある。このダミーゲート2を除去しない部分は、スイッチングトランジスタとして有効に機能する。

【0034】このようにダミーゲート2を除去した結果、ソース1a及びドレイン1bに挟まれたチャネル領域の上は、層間絶縁膜3に挟まれた溝部をなす。次に、図3(d)に示すように、装置全面に、誘電体膜4、Pt膜5、強誘電体膜6及びPt膜7を順次積層形成する。これら誘電体膜4、Pt膜5、強誘電体膜6及びPt膜7は、CVD法によりそれぞれ連続して形成される。また、これら誘電体膜4、Pt膜5、強誘電体膜6及びPt膜7は、層間絶縁膜3の表面に沿って、かつ溝部の底部及び側部の形状に沿ってほぼ均一の膜厚で溝部を覆うように薄く形成される。従って、誘電体膜4、Pt膜5、強誘電体膜6及びPt膜7は上記溝部で深い位置に落ち込んだ凹みを有する断面形状をなす。また、上記溝部は、誘電体膜4、Pt膜5、強誘電体膜6及びPt膜7の膜厚の和の2倍よりも広いソース/ドレイン方向の溝幅を有する。従って、Pt膜7の上面は、層間絶縁膜3の上面よりも低く位置する。

【0035】次に、図3(e)に示すように、装置上面をCMPを用いて平坦化除去する。この平坦化除去によ

り、層間絶縁膜3上のP_t膜7、強誘電体膜6、P_t膜5及び誘電体膜4がこの順に従って除去され、層間絶縁膜3表面が露出する。また、層間絶縁膜3表面が露出した後もCMPを続行する。そして、溝部内の最も低い位置に形成されたP_t膜7の上面まで平坦化除去が進行し、周辺の層間絶縁膜3と平面がそろったところでCMPが終了する。これにより、層間絶縁膜3に挟まれた上記溝部の底部及び側部が誘電体膜4、P_t膜5、強誘電体膜6に囲まれた構造となる。さらに、強誘電体6の底部及び側部に囲まれた凹部にはP_t膜7が埋め込まれた構造となる。これら誘電体膜4、P_t膜5、強誘電体膜6及びP_t膜7により、ゲートキャバシタ構造10が実現される。この後、酸素リカバリー-アニール(600°C)を行うと、キャバシタの特性がより改善される。

【0036】次に、図4(f)に示すように、層間絶縁膜3及びゲートキャバシタ構造10上に層間絶縁膜8及び9を順次堆積する。

【0037】次に、図4(g)に示すように、層間絶縁膜8表面を底面とする溝部を形成する。そして、層間絶縁膜3、8及び9を貫通し、ソース1a及びソース1bに達するコンタクトホールを開口する。同様に、層間絶縁膜8及び9を貫通し、ゲートキャバシタ構造10に達するコンタクトホールを開口する。そして、これらコンタクトホール及び溝部に金属を埋め込む。これにより、コンタクト8a～8c及び配線9a～9cが形成され、図1に示す半導体装置が実現される。

【0038】また、このように実現された半導体装置の上面図を図5に示す。なお、図5のうち、層間絶縁膜3上に形成され、ゲートキャバシタ構造10に電気的に接続されるコンタクト8cを除いて、すべて層間絶縁膜3が形成されている断面で切断して得られる図である。コンタクト8cは、他の構成との位置関係を明確にするために図5に併せて示される。図5に示すように、活性領域51には、コンタクト8a及び8bに挟まれてゲートキャバシタ構造10が形成されているのがわかる。また、ゲートキャバシタ構造10は、P_t膜7が強誘電体膜6に挟まれ、強誘電体膜6がP_t膜5に挟まれ、P_t膜5が誘電体膜4に挟まれた構造となっているのが分かる。この図5に示す配置に限定されることはもちろんである。

【0039】以上の工程を経て製造された強誘電体ゲート構造を有する半導体装置の特性結果を図6に示す。図6は、上記ゲート構造のメモリウィンドウを示す図であり、横軸はゲート電圧、縦軸はドレイン電流である。図6に示すように、本実施形態のゲート構造のメモリウィンドウは4Vと良好であるのが分かる。

【0040】また、本実施形態のゲート構造の保持特性を図7に示す。横軸は時間、縦軸はドレイン電流である。破線は従来構造の場合、実線が本実施形態に係るゲート構造の場合を示す。図7に示すように、従来構造の

場合、10年どころか数年半導体装置を放置しておくと、データ読出しに充分なドレイン電流が得られなくなるのに対して、本実施形態の構造の場合、10年以上の保持特性を有する。すなわち、本実施形態の構造の方が従来構造に比較して遙かに良い保持特性を有するのが分かる。

【0041】このように本実施形態によれば、ダミーゲート2を用いて層間絶縁膜3を選択的に形成し、後にゲートキャバシタ構造10をダミーゲート2が除去された溝部に形成する。これにより、ゲートキャバシタ構造10の形成工程にエッチング工程が不要となり、RIE等を用いることによるプラズマやケミカルのダメージが生じない。また、このゲートキャバシタ構造10の形成の際には、層間絶縁膜3がソース1a及びドレイン1bの大部分を覆っている構造であるため、ゲートキャバシタ構造10形成の際のダメージがソース1a及びドレイン1bに及ぶことがほとんどない。

【0042】(第2実施形態) 本実施形態は第1実施形態の変形例に係る。本実施形態は、ゲートキャバシタ構造に特徴がある。他の構造及び製造工程は第1実施形態と共通するので詳細な説明は省略し、共通する構成には同一符号を付す。また、以下の実施形態でも同様に共通する構成には同一符号を付し、共通する製造工程の詳細な説明を省略する。また、第1実施形態と同様に、本実施形態の半導体装置はMFMIS構造の一例である。

【0043】図8は本実施形態の半導体装置の全体構成を示す断面図である。図8に示すように、本実施形態のゲートキャバシタ構造81を構成する各構成要素は誘電体膜4、P_t膜5、強誘電体膜6及びP_t膜7からなる点は第1実施形態と共通する。本実施形態が第1実施形態と異なるのは、P_t膜7の表面が平坦ではなく、その断面は底部及び側部により規定される凹型形状を有する点である。すなわち、本実施形態では、誘電体膜4、P_t膜5、強誘電体膜6及びP_t膜7のすべて、その断面形状が溝部の中央近傍で落ち込んだ凹みを有する構成である。凹みを有するP_t膜7の底部には、コンタクト8cが貫通形成されている。

【0044】本実施形態に係る半導体装置の製造工程は、図2(a)～図3(d)の工程は第1実施形態と全く同じである。本実施形態が異なるのは、図3(d)の工程の後、装置全面を平坦化する工程にある。本実施形態の場合、図3(d)の工程の後、図9に示すように、CMPにより平坦化除去する。この平坦化除去の際、層間絶縁膜3上のP_t膜7、強誘電体膜6、P_t膜5及び誘電体膜4を層間絶縁膜3が露出するまで順次除去していく。そして、層間絶縁膜3表面が露出した後、P_t膜7の表面まで平坦化平面が達する前に平坦化工程を終了する。換言すれば、層間絶縁膜3表面が露出してからP_t膜7の表面がCMPにより除去されるまでの間にCMP工程をストップする。これにより、図9に示すよう

に、強誘電体膜6の底部及び側部に沿い、かつその上面もこの底部及び側部のラインに沿ったコの字型の断面形状のP_t膜7が得られる。なお、平坦化平面とは、CMPにより平坦化を行っている際、平坦化が実際に進行している平面を指す。

【0045】なお、この図9に示すゲートキャバシタ構造81が得られた後、層間絶縁膜8及び9を堆積し、さらにその後に行われる工程は第1実施形態と共通するので省略する。

【0046】このように、本実施形態のようにP_t膜7の凹み部分の上面までCMPの平坦化平面が達するまでにCMPを終了する。これにより、CMPが除去されることによるP_t膜7（上部電極）の薄膜化を防止することができる。

【0047】なお、本実施形態の半導体装置は上記実施形態に限定されるものではない。本実施形態の変形例の断面図を図10に示す。図10に示す半導体装置が図8の半導体装置と異なるのは、ゲートコンタクトの構造である。図10に示すように、この変形例のゲートコンタクト100cは図8に示すゲートコンタクト8cよりもソース／ドレイン方向のコンタクト幅が広くなっている。従って、ゲートコンタクト100cはP_t膜7のみならず、強誘電体膜6の表面まで接して形成されている。また、このゲートコンタクト100cのコンタクト幅を広くとるため、このゲートコンタクト100cに電気的に接続される配線101cも図8に示す配線幅よりも広く形成されている。

【0048】このように、上部電極となるP_t膜7のみならず、強誘電体膜6まで達するように広くコンタクト幅を有するゲートコンタクトであっても本実施形態と同様の効果を奏する。

【0049】（第3実施形態）本発明は第1実施形態の変形例に係わる。本実施形態は第1実施形態と異なり、本発明をMFI S（電極／強誘電体膜／誘電体膜／半導体）構造に適用する例を示す。

【0050】図11は本実施形態に係る半導体装置の全体構成を示す縦断面図である。この図11に示す半導体装置の構成が図1の構成と異なるのは、ゲートキャバシタ構造である。図1の場合、誘電体膜4、P_t膜5、強誘電体膜6及びP_t膜7の4層構造によりゲートキャバシタ構造が形成されている。一方、図11の場合、誘電体膜4、強誘電体膜6及びP_t膜7の3層構造でゲートキャバシタ構造が形成されている。他の構成は図1と共通する。

【0051】この図11に示す半導体装置の製造方法を図12を用いて説明する。なお、本実施形態の半導体装置の製造方法のうち、図2(a)～図2(c)に示す工程は第1実施形態と共通するので説明は省略する。図2(c)に示す工程の後、図12に示す工程が続く。

【0052】この図12に示す工程は、図3(d)に示

す工程と同じ様に、層間絶縁膜3に挟まれた溝部を含めた装置全面に、誘電体膜4、強誘電体膜6及びP_t膜7を層間絶縁膜3の表面に沿って、かつ溝部の底部及び側部の形状に沿ってほぼ均一の膜厚で溝部を覆うように薄く連続して形成する。図3(d)と異なるのは、誘電体膜4と強誘電体膜6の間にP_t膜5を挟んで形成しないことである。従って、誘電体膜4、強誘電体膜6及びP_t膜7は上記溝部で深い位置に落ち込んだ凹みを有する断面形状が得られる。

【0053】次に、図3(e)の工程と同様に、装置上面をCMPを用いて平坦化除去する。この平坦化除去は、平坦化平面がP_t膜7の表面に達するまで続行される。これにより、溝部の底部及び側部は、誘電体膜4及び強誘電体膜6に囲まれ、かつ強誘電体6により規定される底部及び側部に囲まれた凹部にはP_t膜7が埋め込まれた構造となる。これら誘電体膜4、強誘電体膜6及びP_t膜7により、ゲートキャバシタ構造102が実現される。以後、層間絶縁膜8及び9を堆積し、さらにその後コンタクト8a～8c及び配線9a～9cを形成する工程は第1実施形態と同様である。

【0054】このように本実施形態によれば、MFI S（電極／強誘電体膜／誘電体膜／半導体）構造の強誘電体ゲートキャバシタを有する半導体装置であっても第1実施形態と同様の効果を奏する。

【0055】本実施形態は図11に示す構成に限定されるものではない。

【0056】本実施形態の第1の変形例を図13に示す。図13と図11の関係は、図9と図1の関係と同じである。すなわち、図1におけるCMP工程での誘電体膜4等の平坦化除去の終了時点を早めることにより、図9に示す構成が得られる。これと同様に、図11に示す誘電体膜4のCMP工程での平坦化除去の終了時点を早めることで、図13に示す構成が得られる。

【0057】本実施形態の第2の変形例を図14に示す。図14に示す構成は、図13に示す構成を得るために誘電体膜4等のCMP工程での平坦化除去の終了時点を図13の場合よりもさらに早めることで得られる。より具体的には、強誘電体膜6が露出した時点で平坦化除去を終了する。これにより、層間絶縁膜3上には誘電体膜4及び強誘電体膜6が残存した時点でゲートキャバシタ構造の加工を終了する。これにより、層間絶縁膜3上には誘電体膜4及び強誘電体膜6が積層形成され、かつ溝部には凹みを持った誘電体膜4、強誘電体膜6及びP_t膜7からなるゲートキャバシタ構造が得られる。この第2の変形例を得るためにには、P_t膜7と強誘電体膜6のCMP除去選択比が第1の変形例や図11の構成の場合よりも高いことが望ましい。なお、CMP除去選択比とは、異なる物質がCMP除去される場合の互いの物質の除去される速度の比を指す。この第2の変形例の場合、強誘電体膜6に対するP_t膜7のCMP除去選択比

が、第1の変形例等よりも高い、すなわちCMP除去される速度が高いのが好ましい。

【0058】本実施形態の第3の変形例は、図11、13及び図14に示す場合よりもコンタクト幅の広いゲートコンタクトを有する構成である。第3の変形例の全体構成を図15に示す。図15(a)は図11に、(b)は図13に、(c)は図14に対応する。図15(a)～(c)はそれぞれ、図11、13及び図14に示すゲートコンタクト8cに比較してコンタクト幅の広いゲートコンタクト151cを有している。また、この広いコンタクト幅のゲートコンタクト151cにオーバーラップするように、配線152cも図11、13及び図14に示す配線9cよりも広い配線幅を有している。

【0059】(第4実施形態) 本発明は第1実施形態の変形例に係わる。本実施形態は第1実施形態と異なり、本発明をMFS(電極/強誘電体膜/半導体)構造に適用する例を示す。

【0060】図16は本実施形態に係る半導体装置の全体構成を示す縦断面図である。この図16に示す半導体装置の構成が図1の構成と異なるのは、ゲートキャバシタ構造である。図1の場合、誘電体膜4、P_t膜5、強誘電体膜6及びP_t膜7の4層構造によりゲートキャバシタ構造が形成されている。一方、図11の場合、強誘電体膜6及びP_t膜7の2層構造でゲートキャバシタ構造が形成されている。他の構成は図1と共通する。

【0061】この図16に示す半導体装置の製造方法を図17を用いて説明する。なお、この図17に示す半導体装置の製造方法のうち、図2(a)～図2(c)に示す工程は共通するので説明は省略する。図2(c)に示す工程の後、図17に示す工程が続く。この図17に示す工程は、図3(d)に示す工程と同じ様に、層間絶縁膜3に挟まれた溝部を含めた装置全面に、強誘電体膜6及びP_t膜7を層間絶縁膜3の表面に沿って、かつ溝部の底部及び側部の形状に沿ってほぼ均一の膜厚で溝部を覆うように薄く連続して形成する。図3(d)と異なるのは、誘電体膜4及びP_t膜5を形成しないことである。従って、強誘電体膜6及びP_t膜7は上記溝部で深い位置に落ち込んだ凹みを有する断面形状が得られる。

【0062】次に、図3(e)の工程と同様に、装置上面をCMPを用いて平坦化除去する。この平坦化除去は、平坦化平面がP_t膜7の表面に達するまで続行される。これにより、溝部の底部及び側部は、強誘電体膜6に囲まれ、かつ強誘電体6により規定される底部及び側部に囲まれた凹部にはP_t膜7が埋め込まれた構造となる。これら強誘電体膜6及びP_t膜7により、ゲートキャバシタ構造が実現される。以後、層間絶縁膜8及び9を堆積し、さらにその後コンタクト8a～8c及び配線9a～9cを形成する工程は第1実施形態と同様である。

【0063】このように本実施形態によれば、MFS

(電極/強誘電体膜/半導体)構造の強誘電体ゲートキャバシタを有する半導体装置であっても第1実施形態と同様の効果を奏する。

【0064】本実施形態は図16に示す構成に限定されるものではない。

【0065】本実施形態の第1の変形例を図18に示す。図18と図11の関係は、図9と図1の関係と同じである。すなわち、図1におけるCMP工程での誘電体膜4等の平坦化除去の終了時点を早めることにより、図9に示す構成が得られる。これと同様に、図16に示す誘電体膜4のCMP工程での平坦化除去の終了時点を早めることで、図18に示す構成が得られる。

【0066】本実施形態の第2の変形例を図19に示す。図19に示す構成は、図18に示す構成を得るために誘電体膜4等のCMP工程での平坦化除去の終了時点を図18の場合よりもさらに早めることで得られる。より具体的には、強誘電体膜6が露出した時点で平坦化除去を終了する。これにより、層間絶縁膜3上には強誘電体膜6が残存した時点でゲートキャバシタ構造の加工を終了する。これにより、層間絶縁膜3上には強誘電体膜6が形成され、かつ溝部には凹みを持った強誘電体膜6及びP_t膜7からなるゲートキャバシタ構造が得られる。この第2の変形例を得るために、P_t膜7と強誘電体膜6のCMP除去選択比が第1の変形例や図16の構成の場合よりも高いことが望ましい。

【0067】本実施形態の第3の変形例は、図16、18及び図19に示す場合よりもコンタクト幅の広いゲートコンタクトを有する構成である。ゲートコンタクトが広い構成としては、第3実施形態に示した図11、13及び図14に対する図15の各構成と同様である。

【0068】(第5実施形態) 図20は本発明の第5実施形態に係る半導体装置の全体構成を示す縦断面図である。本実施形態は、本発明をMFMIS(電極/強誘電体膜/電極/誘電体膜/半導体)構造に適用する例を示す。本実施形態は第1実施形態の変形例に係わる。第1実施形態と異なるのはゲートキャバシタ構造である。

【0069】図20に示すように、Si基板1上にソース1a及びドレイン1bが形成されている。このSi基板1上には、層間絶縁膜61が形成されている。この層間絶縁膜61には第1の溝部が形成されている。Si基板1のうち、ソース1a及びドレイン1bの形成されていないチャネル領域上にこの第1の溝部が形成されている。この第1の溝部内には、例えばBi₂SiO₅からなる膜厚5nmの誘電体膜4が、この第1の溝部の底面及び側面を覆うように形成されている。また、この誘電体膜4の底部及び側部を覆い、かつ第1の溝部内を充填するように膜厚10nmのP_t膜5が形成されている。

【0070】層間絶縁膜61上には、上記第1の溝部上も含めて層間絶縁膜62が形成されている。この層間絶縁膜62のうち、上記第1の溝部とほぼ同じ位置が選択

的に除去され、第2の溝部が形成されている。この第2の溝部のソース／ドレイン方向の溝幅は、第1の溝部の溝幅よりも狭く形成されている。そして、この第2の溝部内にはS B Tからなる膜厚30 nmの強誘電体膜6が形成されている。従って、P t膜5に接して強誘電体膜6が積層し、かつ強誘電体膜6のソース／ドレイン方向の膜幅はP t膜5の膜幅よりも狭く形成されている。

【0071】また、この強誘電体膜6上を含めて層間絶縁膜6 2上には層間絶縁膜6 3が形成されている。この層間絶縁膜6 3には、第2の溝部とほぼ同じ位置が選択的に除去され、第3の溝部が形成されている。この第3の溝部のソース／ドレイン方向の溝幅は、第2の溝部の溝幅よりも広く形成されている。そして、この第3の溝部内には膜厚10 nmのP t膜7が形成されている。従って、強誘電体膜6に接してP t膜7が積層し、かつP t膜7の膜幅は強誘電体膜6の膜幅よりも広く形成されている。

【0072】さらに、このP t膜7上を含めて層間絶縁膜6 3上には層間絶縁膜6 4が形成されている。層間絶縁膜6 1～6 4にはコンタクト8 a～8 cが形成されている。層間絶縁膜6 1～6 4を貫通し、ソース1 aまで達するコンタクトホールに金属が埋め込まれてコンタクト8 aが形成される。層間絶縁膜6 1～6 4を貫通し、ドレイン1 bまで達するコンタクトホールに金属が埋め込まれてコンタクト8 bが形成される。また、層間絶縁膜6 4を貫通し、P t膜7まで達するコンタクトホールに金属が埋め込まれてコンタクト8 cが形成される。また、この層間絶縁膜6 4には各コンタクト8 a～8 cにオーバーラップするように溝部が形成されている。この溝部には、コンタクト8 a～8 cとそれぞれ電気的に接続される配線9 a～9 cが形成されている。

【0073】次に、本実施形態に係る半導体装置の製造方法を図21 (a)～図22 (g)の工程断面図を用いて順に説明する。

【0074】まず、図21 (a)に示すように、S i基板1全面にp o 1 y-S i 2 a及びS i N 2 bを順次積層形成する。そして、S i N 2 b及びp o 1 y-S i 2 aをバターニングしてこれらを選択的に残存させる。これら選択的に残存するS i N 2 b及びp o 1 y-S i 2 aの積層構造がダミーゲート2として機能する。

【0075】次に、このダミーゲート2をマスクとしてS i基板1表面にソース1 a及びドレイン1 bを例えればイオン注入法等を用いて形成する。次に、ソース1 a及びドレイン1 bの形成されたS i基板1上に層間絶縁膜6 1を堆積する。そして、この層間絶縁膜6 1の表面を平坦化することによりダミーゲート2を露出させる。この平坦化工程では、S i N 2 bがストップとして機能する。

【0076】次に、図21 (b)に示すように、層間絶縁膜6 1を残存させつつダミーゲート2を選択的に除去

する。このダミーゲート2の除去工程は、ウェットエッチングとC D E (Chemical Dry Etching) を用いて行われる。このように、R I E法を用いずに除去を行うため、ソース1 aやドレイン1 bに及ぶダメージが低減される。このようにダミーゲート2を除去した結果、ソース1 a及びドレイン1 bに挟まれたチャネル領域の上は、層間絶縁膜6 1に挟まれた第1の溝部をなす。

【0077】次に、図21 (c)に示すように、装置全面に、誘電体膜4及びP t膜5を順次積層形成する。これら誘電体膜4及びP t膜5は、C V D法によりそれぞれ形成される。これら誘電体膜4及びP t膜5は、層間絶縁膜6 1の表面に沿って、かつ第1の溝部の底部及び側部の形状に沿ってほぼ均一の膜厚で第1の溝部を覆うように薄く形成される。従って、誘電体膜4及びP t膜5は第1の溝部で深い位置に落ち込んだ凹みを有する断面形状をなす。また、第1の溝部は、誘電体膜4及びP t膜5の膜厚の和の2倍よりも広いソース／ドレイン方向の溝幅を有する。従って、P t膜7の上面は、層間絶縁膜6 1の上面よりも低く位置する。

【0078】次に、図21 (d)に示すように、装置上面をC M Pを用いて平坦化除去する。この平坦化除去により、層間絶縁膜6 1上のP t膜5及び誘電体膜4がこの順に従って除去され、層間絶縁膜6 1表面が露出する。また、層間絶縁膜6 1表面が露出した後もC M Pを続行する。そして、第1の溝部内の最も低い位置に形成されたP t膜7の上面まで平坦化除去が進行し、周辺の層間絶縁膜6 1 P t膜7の上面との平面がそろったところでC M Pが終了する。これにより、層間絶縁膜6 1に挟まれた上記第1の溝部の底部及び側部が誘電体膜4に囲まれ、誘電体膜4の底部及び側部に囲まれた凹部にはP t膜5が埋め込まれた構造となる。

【0079】次に、図22 (e)に示すように、層間絶縁膜6 1及び第1の溝部上に層間絶縁膜6 2を堆積する。そして、この層間絶縁膜6 2を選択的に除去し、第1の溝部とほぼ同じ位置に、第1の溝部のソース／ドレイン方向の溝幅よりも狭い溝幅を有する第2の溝部を形成する。そして、この第2の溝部を含めて装置全面に強誘電体膜6をC V D法等により形成する。この強誘電体膜6は層間絶縁膜6 2の表面及び第2の溝部の底部及び側部の形状に沿ってほぼ均一の膜厚で第2の溝部を覆うように薄く形成される。従って、強誘電体膜6は上記第2の溝部で深い位置に落ち込んだ凹みを有する断面形状をなす。

【0080】次に、装置上面をC M Pを用いて平坦化除去する。この平坦化除去により、層間絶縁膜6 2上の強誘電体膜6が除去され、層間絶縁膜6 2が露出する。また、層間絶縁膜6 2表面が露出した後もC M Pが続行される。その結果、層間絶縁膜6 2の表面が所定の膜厚だけ除去され、層間絶縁膜6 2表面と強誘電体膜6の表面が同じ高さにそろう。この段階でC M Pが終了する。こ

れにより、第2の溝部内に強誘電体膜6が埋め込まれた構成となる。

【0081】次に、図22(f)に示すように、この強誘電体膜6上を含めて層間絶縁膜62上に層間絶縁膜63を堆積する。そして、この層間絶縁膜63を選択的に除去し、第2の溝部とほぼ同じ位置に、第2の溝部のソース／ドレイン方向の溝幅よりも広い溝幅を有する第3の溝部を形成する。そして、この第3の溝部を含めて装置全面にP_t膜7をCVD法等により形成する。このP_t膜7は層間絶縁膜63の表面及び第3の溝部の底部及び側部の形状に沿ってほぼ均一の膜厚で第3の溝部を覆うように薄く形成される。従って、P_t膜7は第3の溝部で深い位置に落ち込んだ凹みを有する断面形状をなす。

【0082】次に、図22(g)に示すように、装置上面をCMPを用いて平坦化除去する。この平坦化除去により、層間絶縁膜63上のP_t膜7が除去され、層間絶縁膜63が露出する。また、層間絶縁膜63が露出した後もCMPが続行される。その結果、層間絶縁膜63の表面が所定の膜厚だけ除去され、層間絶縁膜63表面とP_t膜7の表面が同じ高さにそろい、この段階でCMPが終了する。これにより、第3の溝部内にP_t膜7が埋め込まれた構成となる。なお、第3の溝部は第2の溝部よりも広い溝幅を有する。従って、P_t膜7は強誘電体膜6にオーバーラップして形成される。

【0083】さらに、装置全面に層間絶縁膜64を堆積させ、コンタクト8a～8c及び配線9a～9cを形成する工程は、第1実施形態と同様であるので省略する。

【0084】このように本実施形態によれば、下部電極となるP_t膜5と誘電体膜4、強誘電体膜6、P_t膜7をそれぞれCMPを用いて選択的に形成する。従って、RIE等のドライエッティングによるパターニング工程を介さずゲートキャバシタ構造が形成できる。その結果、RIE等を用いて形成した場合に生じるプラズマやケミカル等のダメージを受けないゲートキャバシタ構造が実現できる。また、第1実施形態と同様に、ダミーゲート2を用いてソース1a及びドレイン1bを形成する。これにより、従来ゲート製造後ゲートキャバシタ構造のパターニングの際に生じていたソース1a及びドレイン1b表面に生じるダメージを低減できる。

【0085】また、P_t膜5及び誘電体膜4、強誘電体膜6、P_t膜7がそれぞれCMPにより別工程で順次製造される。従って、それぞれの膜4～7形成の際に層間絶縁膜に形成する溝部の溝幅を制御することにより、誘電体膜4、P_t膜5、強誘電体膜6及びP_t膜7それぞれの面積制御を容易に行うことができる。

【0086】(第6実施形態) 本実施形態は第5実施形態の変形例に係わる。本実施形態は、第5実施形態と異なり本発明をMFIIS(電極／強誘電体膜／誘電体膜／半導体)構造に適用する例を示す。

【0087】図23は本実施形態に係る半導体装置の全体構成を示す縦断面図である。この図23に示す半導体装置の構成が図20の構成と異なるのは、ゲートキャバシタ構造である。図20の場合、誘電体膜4、P_t膜5、強誘電体膜6及びP_t膜7の4層構造によりゲートキャバシタ構造が形成されている。一方、図23の場合、誘電体膜4、強誘電体膜6及びP_t膜7の3層構造でゲートキャバシタ構造が形成されている。他の構成は図20と共通する。

【0088】この図23に示す半導体装置の製造方法を図24(a)～図25(e)の工程断面図を用いて説明する。なお、本実施形態の半導体装置の製造工程のうち、図21(a)及び(b)に示す工程は第5実施形態と共に通るので説明は省略する。図21(b)に示す工程の後、図24(a)に示す工程が続く。

【0089】図24(a)に示すように、層間絶縁膜61に挟まれた第1の溝部を含めた装置全面に、誘電体膜4を層間絶縁膜61の表面に沿って、かつ第1の溝部の底部及び側部形状に沿ってほぼ均一の膜厚で溝部を覆うように薄くCVD法等を用いて形成する。

【0090】次に、図24(b)に示すように、装置上面をCMPを用いて平坦化除去する。このCMPは層間絶縁膜61が露出し、さらに層間絶縁膜61の表面が第1の溝部上の誘電体膜4の表面と同じ高さにそろうまで続行される。これにより、層間絶縁膜61に誘電体膜4が選択的に埋め込まれた構造となる。次に、この誘電体膜4上を含めて層間絶縁膜61上に層間絶縁膜62を堆積する。そして、この層間絶縁膜62を選択的に除去し、第1の溝部とほぼ同じ位置に、第1の溝部のソース／ドレイン方向の溝幅よりも狭い溝幅を有する第2の溝部を形成する。

【0091】次に、図24(c)に示すように、この第2の溝部を含めて装置全面に強誘電体膜6をCVD法等により形成する。この強誘電体膜6は層間絶縁膜62の表面及び第2の溝部の底部及び側部の形状に沿ってほぼ均一の膜厚で第2の溝部を覆うように薄く形成される。従って、強誘電体膜6は上記第2の溝部で深い位置に落ち込んだ凹みを有する断面形状をなす。

【0092】次に、図25(d)に示すように、装置上面をCMPを用いて平坦化除去する。そして、誘電体膜4の形成と同様に、層間絶縁膜62表面が露出し、さらにこの層間絶縁膜62表面と同じ平面に表面を有する強誘電体膜6が第2の溝部に埋め込まれる。次に、強誘電体膜6上を含めて層間絶縁膜62上に層間絶縁膜63を形成する。そして、この層間絶縁膜63を選択的に除去し、第2の溝部とほぼ同じ位置に、第2の溝部のソース／ドレイン方向の溝幅よりも広い溝幅を有する第3の溝部を形成する。次に、図25(e)に示すように、この第3の溝部を含めて装置全面にP_t膜7をCVD法等により形成する。このP_t膜7は層間絶縁膜63の表面及

び第3の溝部の底部及び側部の形状に沿ってほぼ均一の膜厚で第3の溝部を覆うように薄く形成される。従って、P_t膜7は第3の溝部で深い位置に落ち込んだ凹みを有する断面形状をなす。さらに、このP_t膜7及び層間絶縁膜6₃表面を上記誘電体膜4及び強誘電体膜6と同様にCMPを用いて平坦化除去する。その結果、図23に示すように層間絶縁膜6₃の第3の溝部に選択的にP_t膜7が埋め込まれる。

【0093】さらに、装置全面に層間絶縁膜6₄を堆積させ、コンタクト8a～8c及び配線9a～9cを形成する工程は、第5実施形態と同様であるので省略する。その結果、図23に示す半導体装置が得られる。

【0094】このように本実施形態によれば、MFIIS（電極／強誘電体膜／誘電体膜／半導体）構造の強誘電体ゲートキャバシタを有する半導体装置であっても第5実施形態と同様の効果を奏する。

【0095】（第7実施形態）本実施形態は第5実施形態の変形例に係る。本実施形態は、第5実施形態と異なり本発明をMFS（電極／強誘電体膜／半導体）構造に適用する例を示す。

【0096】図26は本実施形態に係る半導体装置の全体構成を示す縦断面図である。この図26に示す半導体装置の構成が図20の構成と異なるのは、ゲートキャバシタ構造である。図20の場合、誘電体膜4、P_t膜5、強誘電体膜6及びP_t膜7の4層構造によりゲートキャバシタ構造が形成されている。一方、図26の場合、強誘電体膜6及びP_t膜7の2層構造でゲートキャバシタ構造が形成されている。他の構成は図20と共通する。

【0097】この図26に示す半導体装置の製造方法を図27(a)及び(b)の工程断面図を用いて説明する。なお、本実施形態の半導体装置の製造工程のうち、図21(a)及び(b)に示す工程は第5実施形態と共通し、さらにその後に続く図24(a)及び(b)に示す工程は誘電体膜4の代わりに強誘電体膜6を形成する点以外は第6実施形態と共通するので説明は省略する。図24(b)に示す工程の後、図27(a)に示す工程が続く。

【0098】図27(a)に示すように、層間絶縁膜6₂に挟まれた第2の溝部を含めた装置全面に、P_t膜7を層間絶縁膜6₂の表面に沿って、かつ第2の溝部の底部及び側部形状に沿ってほぼ均一の膜厚で第2の溝部を覆うように薄くCVD法等を用いて形成する。

【0099】次に、図27(b)に示すように、装置上面をCMPを用いて平坦化除去する。このCMPは層間絶縁膜6₂が露出し、さらに層間絶縁膜6₂の表面が第2の溝部上のP_t膜7の表面と同じ高さにそろうまで続行される。これにより、層間絶縁膜6₂にP_t膜7が選択的に埋め込まれた構造となる。

【0100】さらに、装置全面に層間絶縁膜6₃を堆積

させ、コンタクト8a～8c及び配線9a～9cを形成する工程は、第5実施形態と同様であるので省略する。その結果、図26に示す半導体装置が得られる。

【0101】このように本実施形態によれば、MFS（電極／強誘電体膜／半導体）構造の強誘電体ゲートキャバシタを有する半導体装置であっても第5実施形態と同様の効果を奏する。

【0102】また、上記第5～第7実施形態では、誘電体膜4のみあるいは誘電体膜4及びP_t膜5が形成される溝幅が強誘電体膜5が形成される溝幅よりも広い場合を示したが、両者の溝幅が異なっていればよく、強誘電体膜5の溝幅の方が広い場合であってもよい。また、強誘電体膜6が形成される溝幅がP_t膜7が形成される溝幅よりも狭い場合を示したが、両者の溝幅が異なっていればよく、P_t膜7の溝幅の方が狭い場合でもよい。また、誘電体膜4及びP_t膜5は同じ層間絶縁膜中の同じ溝に形成する場合を示したが、それぞれを別の層間絶縁膜中の別の溝に形成してもよい。この場合、誘電体膜4を堆積し、一旦平坦化除去した後、さらに別の層間絶縁膜を堆積し、この層間絶縁膜中に溝を形成し、この溝内を含めてP_t膜5を堆積する。そして、余分なP_t膜5を平坦化除去する。

【0103】（第8実施形態）図28は本発明の第8実施形態に係る半導体装置の全体構成を示す縦断面図である。本実施形態の半導体装置は、セルトランジスタ(T)のソース及びドレイン間にキャバシタ(C)の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続した「TC並列ユニット直列接続型強誘電体メモリ」である。また、図28は図28に示す具体例の等価回路図である。

【0104】図28に示すように、シリコン基板301上に複数のゲート電極220が形成されている。このゲート電極220を挟んだシリコン基板301表面にはソース及びドレイン（図示せず）が形成され、これらによりトランジスタが構成される。シリコン基板301上には層間絶縁膜302が堆積している。また、各ゲート電極220の間にはシリコン基板301に達するコンタクトホールがそれぞれ設けられている。このコンタクトホールにはWやpolysiliconからなるコンタクトプラグ210が層間絶縁膜302に貫通形成されている。

【0105】コンタクトプラグ210上を含む層間絶縁膜302上には、下部P_t電極303、PZT膜304及び上部P_t電極305の積層構造からなる強誘電体キャバシタCが選択的に複数形成されている。この強誘電体キャバシタCはコンタクトプラグ210に電気的に接続されるように、コンタクトプラグ210にオーバーラップするように形成される。また、この強誘電体キャバシタCを覆うように、薄い層間絶縁膜306aが堆積し、さらにこの層間絶縁膜306a上には水素バリア膜402が堆積している。さらにこの水素バリア膜402

を覆うように層間絶縁膜306bが堆積している。すなわち、層間絶縁膜306a及び層間絶縁膜306bの間に水素バリア膜402が介在する構成となっている。

【0106】上部Pt電極305上の層間絶縁膜306a及び306bには上部Pt電極305に達するコンタクトホールが形成されている。このコンタクトホールには金属が埋め込まれている。これにより、層間絶縁膜306a及び306b、水素バリア膜402を貫通するコンタクトプラグ307が形成される。

【0107】このコンタクトプラグ307は一つのコンタクトプラグ210に対して2つ形成される。上部Pt電極305は2つのコンタクトプラグ307それぞれに対して1つずつ設けられている。2つの上部Pt電極305に対して1つの下部Pt電極303と強誘電体膜304が共有されるような構成である。すなわち、隣接した一対のキャパシタCに対して下部Pt電極303と強誘電体膜304が共有されるような構成である。従って、上部Pt電極305とコンタクトプラグ307がキャパシタC毎に分割して設けられている。なお、下部Pt電極303及び強誘電体膜304は、2つのキャパシタCに対して共有される構成として示すが、下部Pt電極303及び強誘電体膜304の少なくとも一方あるいは双方は、共有されずにキャパシタC毎に分割される構成であってもよい。

【0108】コンタクトプラグ307を含めた層間絶縁膜306b上には層間絶縁膜306cが堆積している。この層間絶縁膜306cには選択的に配線溝が形成されている。この配線溝は隣り合う2つのキャパシタCに接続された2つのコンタクトプラグ307が露出するように形成されている。なお、ここで示される「隣り合う2つのキャパシタ」とは、互いにコンタクトプラグ210及び下部Pt電極303を共有しない2つのキャパシタCを指す。

【0109】さらに、この配線溝の底部にはコンタクトホールが形成されている。このコンタクトホールはコンタクトプラグ307やキャパシタCが形成されていない層間絶縁膜302、306a及び306bを貫通し、シリコン基板301まで達している。このコンタクトホールに金属が埋め込まれ、コンタクトプラグ307Aが形成されている。また、上記配線溝には金属が埋め込み形成され、配線307Bが形成されている。

【0110】さらに、この配線307Bを含む層間絶縁膜306c上には層間絶縁膜306dが形成されている。この層間絶縁膜306dには複数のビアホールが配線307Bに貫通するように形成され、このビアホールに金属が埋め込まれることにより複数のビアプラグ307Cが形成される。これらビアプラグ307Cは配線307Bに電気的に接続される。

【0111】さらに、このビアプラグ307Cを含めた層間絶縁膜306d上には層間絶縁膜306eが形成さ

れる。この層間絶縁膜306eには複数の配線溝がビアプラグ307Cに貫通するように複数形成され、この配線溝に金属が埋め込まれることにより複数の配線307Dが形成される。これら配線307Dはビアプラグ307Cに電気的に接続される。なお、この配線307Dの上にさらにビアプラグが接続され、さらにその上には配線が、というように、配線は何層形成されていてよい。

【0112】図28において、コンタクトプラグ210及びコンタクトプラグ307Aのそれぞれは、シリコン基板1表面に形成された図示しないソース又はドレインに電気的に接続される。これにより、強誘電体キャパシタCの両端がトランジスタのソース及びドレインにそれぞれ接続される構成をなす。

【0113】このようにして形成された強誘電体メモリは、図29に示すように、並列に接続された一対のトランジスタ220' とキャパシタCからなる複数のセルが、シリアルに接続された構成を有する。

【0114】次に、本実施形態に係る半導体装置の製造方法を図30(a)～図31(d)の工程断面図を用いて説明する。

【0115】まず、図30(a)に示すように、シリコン基板301上にゲート電極220を選択的に複数形成する。そして、このゲート電極220を含めたシリコン基板301上に層間絶縁膜302を堆積する。そして、この層間絶縁膜302にシリコン基板301に達し、かつゲート電極220にオーバーラップしない複数のコンタクトホールを開口し、このコンタクトホールに金属を埋め込むことによりコンタクトプラグ210を複数形成する。次に、コンタクトプラグ210を含む層間絶縁膜302上に、下部Pt電極303、PZT膜304及び上部Pt電極305を順次積層形成する。

【0116】具体的には、約100nmの下部Pt電極303をスパッタ法により堆積する。次に、この下部Pt電極303上に約150nmのPZT膜304をスパッタ又はゾルゲル法により堆積する。そして、基板を650°Cの酸素雰囲気中でのRTA (Rapid Thermal Annealing)処理により結晶化させる。PZT膜304上には、上部Pt電極305を約50nm堆積する。

【0117】そして、これら下部Pt電極303、PZT膜304及び上部Pt電極305をエッチング加工して、複数のキャパシタCを選択的に形成する。これにより、一つのコンタクトプラグ210に2つのキャパシタCが形成される。

【0118】なお、図示はしないが、第1のマスク材を用いて上部Pt電極305をエッチングし、さらに第1のマスク材よりも大きい面積の第2のマスク材を用いてPZT膜304及び下部Pt電極303のエッチングを行う。

【0119】次に、層間絶縁膜302上に、これらキャ

パシタCを覆うように層間絶縁膜306aを堆積する。そして、この層間絶縁膜306a上に水素バリア膜402を堆積する。

【0120】さらに、図30(b)に示すように、この水素バリア膜402上に層間絶縁膜306bを堆積する。これにより、層間絶縁膜306aと層間絶縁膜306bの間に水素バリア膜402が介在した構造となる。なお、水素バリア膜402としては Al_2O_3 膜、層間絶縁膜306a及び306bとしてはシリコン酸化膜を用いることが望ましい。具体的には、キャパシタCの形成後、層間絶縁膜306aとしてプラズマCVDによる SiO_2 膜(堆積温度: 300~400°C)あるいはオゾンTEOS膜(堆積温度: 300~425°C)を形成する。この後、キャパシタ特性を改善するため、500~650°Cの酸素雰囲気中でアニールを行うのが好ましい。次に、水素バリア膜402として Al_2O_3 膜をスパッタ法により形成する。さらに、 Al_2O_3 膜の絶縁性を改善するために、400°Cの酸素雰囲気中でアニールを行うのが望ましい。その後、層間絶縁膜306bとしてプラズマCVDにより SiO_2 膜(堆積温度: 300~400°C)あるいはオゾンTEOS膜(堆積温度: 300~425°C)を低温形成する。

【0121】なお、本実施形態の場合、層間絶縁膜306aの厚みを上部Pt電極305、PZT膜304及び下部Pt電極303の膜厚の和の0.2倍以上2倍以下程度にする。あるいは、強誘電体キャパシタCの厚さに対して0.05倍以上3倍以下にするのが好ましい。これにより、水素バリア膜402はカバレージよく堆積することができる。

【0122】また、層間絶縁膜306aが無く、水素バリア膜402が強誘電体キャパシタCに直接接して形成する構成であってもよい。この場合でも、キャパシタCの水素プロック性は認められるが、層間絶縁膜306aを設けた場合の構造の方が水素バリア性は優れる。

【0123】水素バリア膜402(Al_2O_3 膜、 Al_1O_y 、 TiO_x 、 $\text{Al}_1\text{Si}_y\text{O}_z$ 等)がキャパシタ上に直接堆積すると、強誘電体膜304に含有される酸素が水素バリア膜402に奪われ、特性の劣化が生じやすい。このような特性の劣化は、酸素アニールによって一時的に回復するが、その後酸素アニール効果を伴わない工程に進んだ場合に、再び水素等の還元性ガスが水素バリア膜402に到達すると、水素バリア膜402中のある部分が還元され、還元された例えはA1やTi等の元素が強誘電体膜304の酸素を奪い、特性の劣化が生じてしまう。

【0124】これに対して本実施形態のように、層間絶縁膜306aを設けた場合には、還元された例えはA1やTi等の元素が層間絶縁膜306aにより遮断され、あるいは強誘電体膜304の代わりに還元されるため、特性の劣化は生じない。

【0125】なお、 Al_2O_3 膜及び Al_1O_y 膜は400~700°Cの温度で形成するとアモルファスである。水素をトラップする特性は優れているが、水素等によって還元されやすい。層間絶縁膜306aとしては、被覆性(カバレージ)、汎用性、利便性、キャパシタ上の剥がれにくさ等の観点から、シリコン酸化膜、窒素を含むシリコン酸化膜、あるいは $\text{Al}_1\text{Si}_y\text{O}_z$ 膜が適しているが、これらの条件を満たすものであれば他の材料でも良い。

【0126】このように、水素バリア膜402は水素を遮断あるいはトラップする材料から成ることが必要であるが、若干の還元は許容されるので、マージンが大きくなり、デバイスの信頼性が向上する。

【0127】以上の観点から、層間絶縁膜306aの形成方法には、以下の4つの条件を満たすことが望ましい。第1に、水素基が発生しにくい、あるいは少ない雰囲気であること。第2に、低温であること(望ましくは400°C以下)。第3に、堆積膜厚が必要以上に厚くないこと(堆積中に水素基による劣化が生じ、また加工上もそうであることが望ましい)。第4に被覆性を考慮すると、その膜厚はキャパシタの膜厚(上部電極5、強誘電体膜304、下部電極3の合計(バリアメタルも含む))の0.05倍よりも大きく3倍よりも小さいこと。なお、この4つの条件のすべてを満たさなくてもよいことはもちろんである。

【0128】次に、層間絶縁膜306b上に層間絶縁膜306cを堆積する。そして、この層間絶縁膜306cに配線溝h1を開口する。この開口工程において、水素バリア膜402は、エッティングのストップとして作用する。すなわち、水素バリア膜402により層間絶縁膜306bのエッティングを確実に停止させ、オーバーエッティングを容易かつ確実に防止できる。次に、配線溝h1の底部から上部Pt電極305に達するコンタクトホールh2を開口する。そして、酸素のリカバリーアニール(600°C)を行った後、シリコン基板301に達するコンタクトホールh3を開口する。

【0129】次に、図31(c)に示すように、コンタクトホールh2、h3及び配線溝h1にアルミニウムをスパッタ法により堆積する。そして、このアルミニウムをリフローさせて埋め込んだ後、その表面をCMP法等により平坦化する。これにより、コンタクトプラグ307、307A及び配線307Bが形成される。なお、アルミニウムのリフローを用いてコンタクトプラグ307、307A及び配線307Bを形成する場合を示したが、アルミニウムを堆積した後、レジストを用いてドライエッティングで加工する手法も適用可能である。

【0130】次に、図31(d)に示すように、配線307Bを含む層間絶縁膜306c上に層間絶縁膜306d及び6eを順次積層形成する(もちろん2層ではなく单一の層間絶縁膜でもよい)。そして、上記配線溝h

1. コンタクトホールh 2及びh 3と同様に、層間絶縁膜306eに配線溝h 4を、層間絶縁膜306dを貫通し配線307Dに達するビアホールh 5を形成する。そして、これら配線溝h 4及びビアホールh 5にアルミニウムをスパッタ法により堆積し、リフローの後表面を平坦化させる。これにより、図28に示すように、ビアプラグ307C及び配線307Dが形成される。

【0131】この実施形態において、水素バリア膜402は、水素の拡散定数が $1.0 \times 10^{-5} \text{ cm}^2/\text{s}$ 以下の膜であり、好ましくは比抵抗が $1 \text{ k}\Omega\text{-cm}$ 以上の金属酸化物膜が好ましい。代表的には、アルミニウム酸化物(Al_2O_3)膜である。このように、水素バリア膜を層間絶縁膜中に挿入することにより、強誘電体キャバシタの性能劣化が防止される。また、この層間絶縁膜中の水素バリア膜は、最終的に素子上面を覆うパッシベーション膜(通常SiN膜)を堆積する工程での強誘電体キャバシタのダメージを抑制する。さらに、層間絶縁膜306aの部分は、水素バリア膜と強誘電体キャバシタCが直接接触することによる反応を防止する作用もある。

【0132】さらに、PZT膜のPb拡散防止の効果、Tiを用いないことによるPZT膜へのTi拡散防止の効果が得られる。また、 Al_2O_3 膜は絶縁膜であるから、パターン加工により除去する必要がない。従って、層間絶縁膜中全体に全面に挿入しておいても、拡散層に対するコンタクトの短絡等が生じない。さらに、水素バリア膜を層間絶縁膜を一層介して形成することにより、水素バリア膜の応力緩和効果が得られる。

【0133】また、本実施形態の場合、水素バリア膜402が配線溝h 1, h 4をエッチング開口する際のエッチングストップとして作用する。その結果、配線溝h 1, h 4の深さを容易かつ確実にコントロールでき、配線307B及び307Dの層厚を確実にコントロールできる。

【0134】この実施形態の場合、水素バリア膜としては、 Al_2O_3 膜の他、 Al_xO_y 、 TiO_x 、 ZrO_x 、 MgO_x 、 MgTiO_x 等の中の少なくとも一種が有効である。

【0135】(第9実施形態)図32は本発明の第9実施形態に係る半導体装置の全体構成を示す縦断面図である。本実施形態の半導体装置は、第8実施形態と同様に、「TC並列ユニット直列接続型強誘電体メモリ」に本発明を適用した例である。

【0136】以下、図32に示す半導体装置の製造方法を図33(a)～図35(g)に示す工程断面図を用いて説明する。

【0137】まず、図33(a)に示すように、シリコン基板301上にゲート電極220を形成し、ソース及びドレイン(図示せず)をシリコン基板301表面に形成する。これにより、シリコン基板301にトランジスタが形成される。次に、ゲート電極220を含めてシリ

コン基板301上に層間絶縁膜302を堆積し、さらにコンタクトホールを開口してpoly-Siあるいはタンゲステン(W)等を埋め込む。これにより、コンタクトプラグ210が形成される。そして、下部Pt電極303、PZT膜304及び上部Pt電極305を形成し、パターニングして層間絶縁膜306aをさらにこの上に堆積する。

【0138】次に、図33(b)に示すように、層間絶縁膜306aを平坦化する。

【0139】次に、図33(c)に示すように、水素バリア膜402を形成し、さらに図34(d)に示すように、層間絶縁膜306bを水素バリア膜402上に堆積する。

【0140】次に、図34(e)に示すように、層間絶縁膜306bに配線溝h 1を開口する。この開口工程において、水素バリア膜402は、エッチングのストップとして作用する。すなわち、水素バリア膜402によって層間絶縁膜306bのエッチングを確実に停止させ、オーバーエッチングを容易かつ確実に防止できる。次に、配線溝h 1の底部から上部Pt電極305に達するコンタクトホールh 2を開口する。そして、酸素のリカバリー-アニール(600°C)を行った後、さらに、シリコン基板301に達するコンタクトホールh 3を開口する。

【0141】次に、図35(f)に示すように、コンタクトホールh 2, h 3及び配線溝h 1にアルミニウムをスパッタ法により堆積する。そして、さらにアルミニウムをリフローさせて埋め込んだ後に、その表面をCMP法等により平坦化する。これにより、コンタクトプラグ307, 307A及び配線307Bが形成される。

【0142】次に、図35(g)に示すように、層間絶縁膜306c、水素バリア膜403及び層間絶縁膜306dを順次積層形成する。そして、層間絶縁膜306dに配線溝h 4を開口する。この開口工程において、水素バリア膜403はエッチングのストップとして作用する。すなわち、水素バリア膜403によって層間絶縁膜306dのエッチングを確実に停止させ、オーバーエッチングを容易かつ確実に防止できる。次に、配線溝h 4の底部にビアホールh 5を開口する。

【0143】そして、スパッタ法によりアルミニウムを堆積し、リフローさせた後にその表面を平坦化する。これにより、アルミニウムのビアプラグ307C及び配線307Dが形成される。このようにして、図32に示す半導体装置が完成する。

【0144】以上説明したように本実施形態によれば、水素バリア膜402及び403が配線溝h 1及びh 4をエッチング開口する際のエッチング・ストップとして作用する。その結果、配線溝h 1, h 4の深さを容易かつ確実にコントロールすることができ、配線307B及び配線307Dの層厚を確実にコントロールすることができる。

きる。

【0145】本実施形態の変形例を図36に示す。図36は、図32に示す構成のうち、強誘電体キャバシタC近傍を拡大して示した図である。なお、以下図36)では、構成をより詳細に示すため、下部Pt電極303とその下の層間絶縁膜302あるいはコンタクトプラグ307との間に密着層401を介在させて示してある。

【0146】図36が図32の構成と異なるのは、キャバシタC上にチタン化合物膜501を積層し、その上にバリアメタル307Fを介して堆積・平坦化によるアルミニウム配線307Gを形成した構造を示す。この構造において、チタン化合物膜501は、例えばTiO₂(あるいはTiO_x)により形成することができる。また、バリアメタル307Fは、例えば窒化チタン(TiN_x)や窒化タンゲステン(WN_x)により形成することができる。

【0147】この図36の構造によれば、上部Pt電極305の上の層間絶縁膜306aの「剥がれ」を防止することができる。また、図示した構造とは別に、上部Pt電極305の上にAl₂O₃からなる水素バリア膜を直接積層させた場合でも、上部Pt電極305と水素バリア膜との「剥がれ」を防止することができる。

【0148】さらに、チタン化合物層501を設けることにより、白金等からなる上部Pt電極305とアルミニウム配線7とのアロイ化反応を抑制することもできる。また、特にアルミニウムのリフロー配線を用いる場合にはこの構成は有利である。なぜなら、リフロー配線の形成時には基板が加熱される。そのため、上部Pt電極305と層間絶縁膜306aとの「剥がれ」や、上部Pt電極305とアルミニウム配線7とのアロイ化が生じやすいためである。

【0149】この図36と同様のチタン化合物膜501は、図32に示す構造においても同様に設けて同様の効果を得ることができる。すなわち、図32の構成で、上部Pt電極305と配線7との間にチタン化合物膜501を設けることにより、上部Pt電極305と層間絶縁膜306aとの「剥がれ」や、上部Pt電極305と配線7とのアロイ化を効果的に抑制することができる。従って、この構成は、アルミニウムリフロー配線を用いる強誘電体メモリの場合には特に有利である。

【0150】(第10実施形態) 本実施形態は第8実施形態の変形例に係わる。

【0151】図37は本発明の第9実施形態に係る半導体装置の全体構成を示す縦断面図である。本実施形態の半導体装置は、第8実施形態と同様に、「TC並列ユニット直列接続型強誘電体メモリ」に本発明を適用した例である。

【0152】図37に示す半導体装置は、矢印Aで示したように、水素バリア膜402がコンタクトプラグ307Aの近傍で除去され、開口が形成されている。このよ

うな開口を設けることにより、コンタクトプラグ307Aを形成するためのコンタクトホールの開口を容易に形成することができる。すなわち、コンタクトプラグ307Aを形成するためのコンタクトホールを開口する際に、水素バリア膜402を貫通する必要が無く、エッチングが簡単になる。

【0153】また、水素バリア膜402に開口を設けることにより、トランジスタの水素アニールを確実に行うことができる。すなわち、ゲート電極220を有するトランジスタの特性を確保するには、水素雰囲気でアニールを行うのが望ましい。しかし、水素バリア膜402がトランジスタの上、すなわちゲート電極220上を遮蔽していると水素がトランジスタまで拡散することができず、アニール効果が得られない。これに対して、図37のように水素バリア膜402に開口を設けると、この開口を介して水素がトランジスタに到達し、水素アニール効果を確実に得ることができる。

【0154】また、図36と同様のチタン化合物膜501を図37に示す構造においても同様に設けた場合には、図36の構成と同様の効果を得ることができる。すなわち、図37に示す構造において、上部Pt電極305とコンタクトプラグ307との間に図示しないチタン化合物膜を設けることにより、上部Pt電極305と層間絶縁膜306aとの「剥がれ」や、上部Pt電極305とコンタクトプラグ7とのアロイ化を効果的に抑制することができる。従って、この構成はアルミニウムリフロー配線を用いる強誘電体メモリの場合は特に有利となる。

【0155】(第11実施形態) 本実施形態は第1実施形態の変形例に係わる。本実施形態では、第1実施形態の層間絶縁膜8堆積後、水素バリア膜402を形成し、その後層間絶縁膜9を形成する。水素バリア膜402の形成手法は、第9実施形態に示したのと同様の手法による。これにより、水素バリア膜402が配線9a～9c形成の際にエッチング開口される配線溝のエッチング・ストップとして作用するため、配線溝の深さを容易かつ確実にコントロールすることができ、配線9a～9cの層厚を容易かつ確実にコントロールできる。また、第8実施形態に示した水素バリア膜402の形成の効果と同様、多相工程のダメージ抑制等の効果を得ることができる。なお、本実施形態では第1実施形態の変形例として示したが、第2～第7実施形態でも同様の水素バリア膜402を設けることにより、本実施形態と同様の効果を奏することができることはもちろんである。

【0156】本発明は上記実施形態に限定されるものではない。ダミーゲートとしてpoly-Si及びSiNの積層構造を用いたが、シリコン酸化膜、ポリシリコン、窒化珪素、W_xSi_y、Ti_xSi_y及びCo_xSi_yのうち少なくとも一つを含む材料から構成されるのが望ましい。

【0157】また、強誘電体キャパシタ構造を構成する電極材料は、下部電極及び上部電極とともに単一の材料から構成される場合を示したが、複数の異なる材料の積層構造であってもよいことはもちろんである。

【0158】

【発明の効果】以上詳述したように本発明によれば、ダメージが低減され、信頼性が向上する。

【0159】また、別の本発明によれば、優れた特性の強誘電体キャパシタが実現される。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体装置の全体構成を示す縦断面図。

【図2】同実施形態に係る半導体装置の製造方法の工程断面図。

【図3】同実施形態に係る半導体装置の製造方法の工程断面図。

【図4】同実施形態に係る半導体装置の製造方法の工程断面図。

【図5】同実施形態に係る半導体装置の上面図。

【図6】同実施形態に係るゲートキャパシタ構造のゲート電圧とドレイン電流の関係を示す図。

【図7】同実施形態に係るゲートキャパシタ構造の保持特性を示す図。

【図8】本発明の第2実施形態に係る半導体装置の全体構成を示す縦断面図。

【図9】同実施形態に係る半導体装置の製造方法を示す断面図。

【図10】同実施形態の変形例に係る半導体装置の全体構成を示す図。

【図11】本発明の第3実施形態に係る半導体装置の全体構成を示す縦断面図。

【図12】同実施形態に係る半導体装置の製造方法を示す断面図。

【図13】同実施形態に係る半導体装置の第1の変形例を示す断面図。

【図14】同実施形態に係る半導体装置の第2の変形例を示す断面図。

【図15】同実施形態に係る半導体装置の第3の変形例を示す断面図。

【図16】本発明の第4実施形態に係る半導体装置の全体構成を示す縦断面図。

【図17】同実施形態に係る半導体装置の製造方法を示す断面図。

【図18】同実施形態に係る半導体装置の第1の変形例を示す断面図。

【図19】同実施形態に係る半導体装置の第2の変形例を示す断面図。

【図20】本発明の第5実施形態に係る半導体装置の全体構成を示す縦断面図。

【図21】同実施形態に係る半導体装置の製造方法を示す工程断面図。

【図22】同実施形態に係る半導体装置の製造方法を示す工程断面図。

【図23】本発明の第6実施形態に係る半導体装置の全体構成を示す縦断面図。

【図24】同実施形態に係る半導体装置の製造方法を示す工程断面図。

【図25】同実施形態に係る半導体装置の製造方法を示す工程断面図。

【図26】本発明の第7実施形態に係る半導体装置の全体構成を示す縦断面図。

【図27】同実施形態に係る半導体装置の製造方法を示す工程断面図。

【図28】本発明の第8実施形態に係る半導体装置の全体構成を示す縦断面図。

【図29】同実施形態に係る半導体装置の等価回路図。

【図30】同実施形態に係る半導体装置の製造方法を示す工程断面図。

【図31】同実施形態に係る半導体装置の製造方法を示す工程断面図。

【図32】本発明の第9実施形態に係る半導体装置の全体構成を示す縦断面図。

【図33】同実施形態に係る半導体装置の製造方法を示す工程断面図。

【図34】同実施形態に係る半導体装置の製造方法を示す工程断面図。

【図35】同実施形態に係る半導体装置の製造方法を示す工程断面図。

【図36】同実施形態の変形例に係る半導体装置のキャパシタ近傍を拡大して示した図。

【図37】本発明の第10実施形態に係る半導体装置の全体構成を示す縦断面図。

【図38】本発明の第11実施形態に係る半導体装置の全体構成を示す断面図。

【図39】従来の半導体装置の製造方法による問題点を説明するための工程断面図。

【符号の説明】

1…Si基板

1a…ソース

1b…ドレイン

2…ダミーゲート

3…層間絶縁膜

4…誘電体膜

5…P_t膜

6…強誘電体膜

7…P_t膜

8…層間絶縁膜

8a～8c…コンタクト

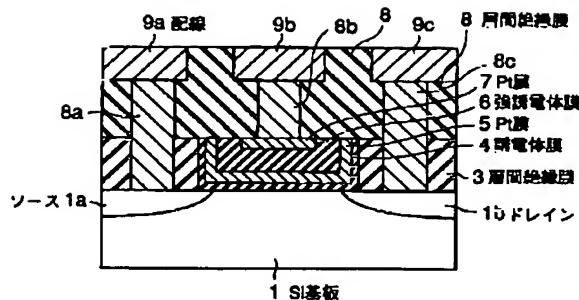
9a～9c…配線

301…シリコン基板

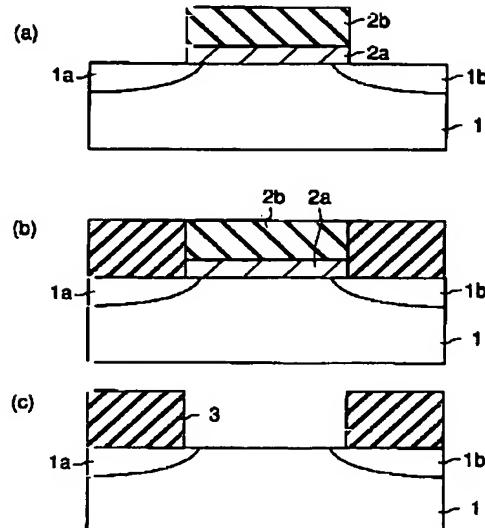
302…層間絶縁膜
 303…下部P_t電極
 304…強誘電体膜
 305…上部P_t電極
 306a～306e…層間絶縁膜
 220…ゲート電極

220'…トランジスタ
 210…コンタクトプラグ
 401…密着層
 402, 403…水素バリア膜
 501…チタン化合物膜

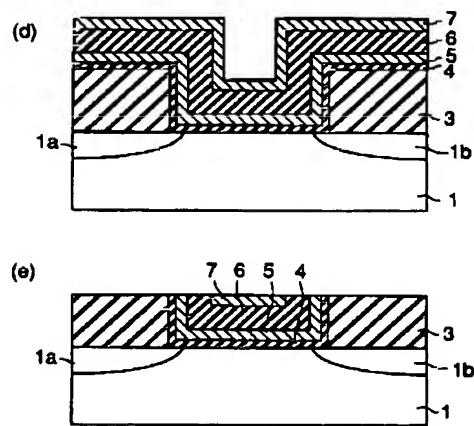
【図1】



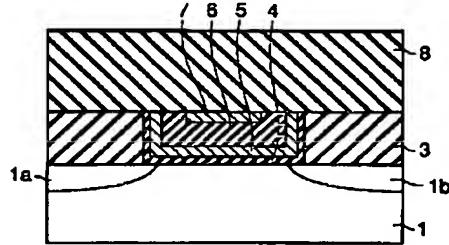
【図2】



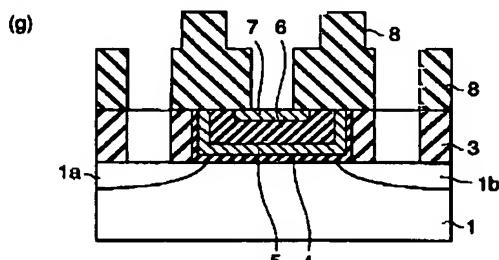
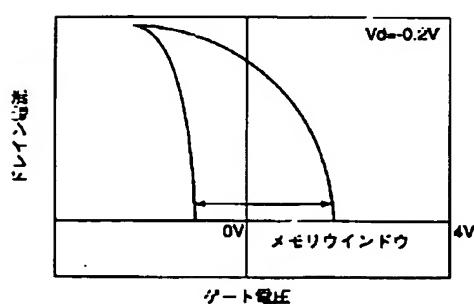
【図3】



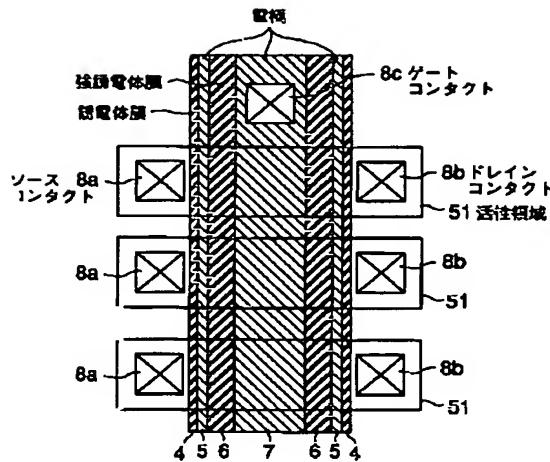
【図4】



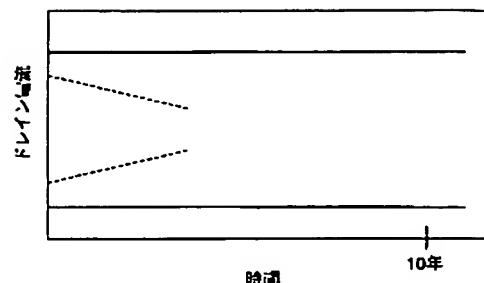
【図6】



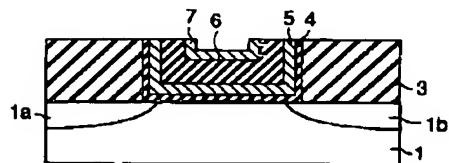
【図5】



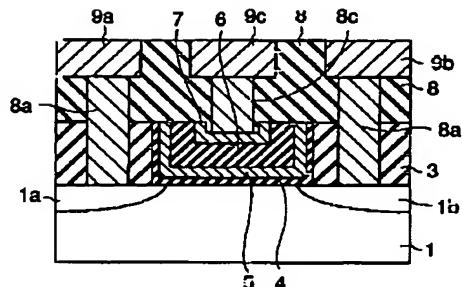
【図7】



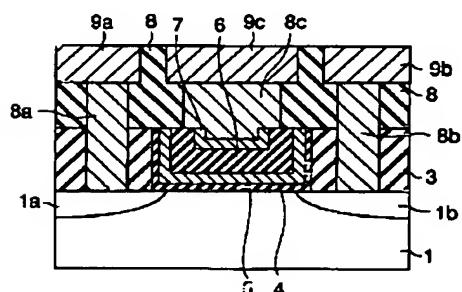
【図8】



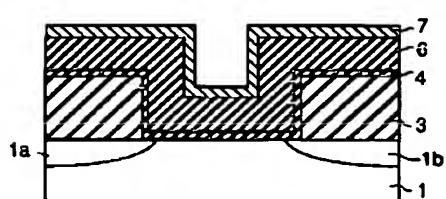
【図9】



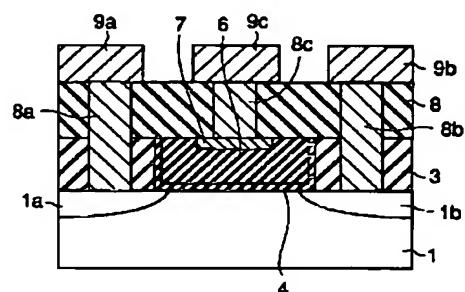
【図10】



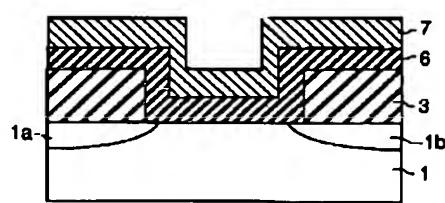
【図12】



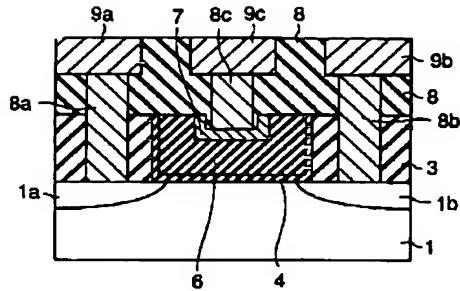
【図11】



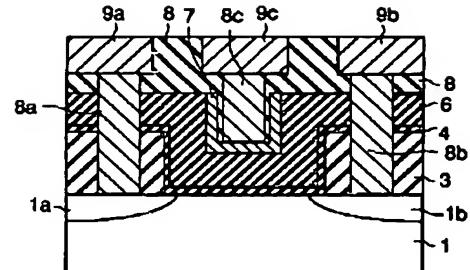
【図17】



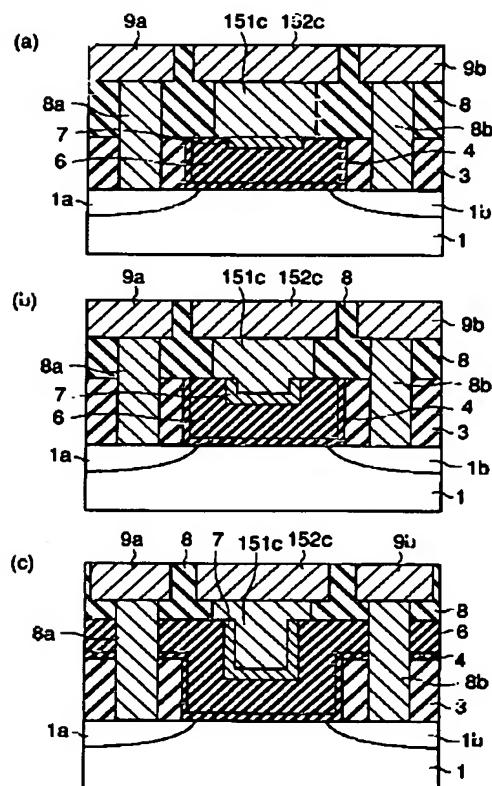
【図13】



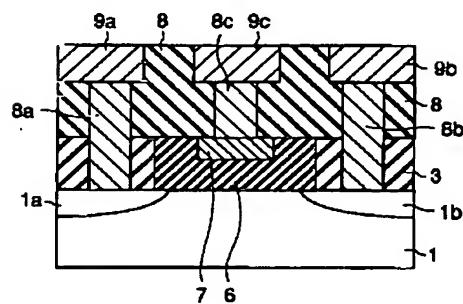
【図14】



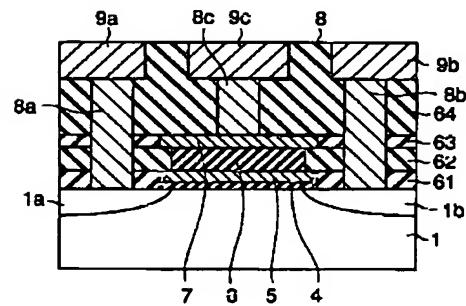
【図15】



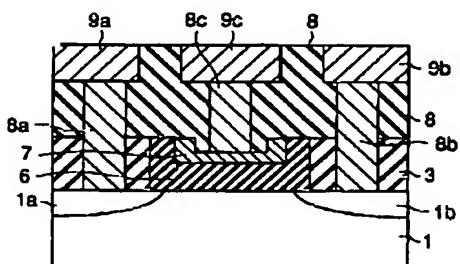
【図16】



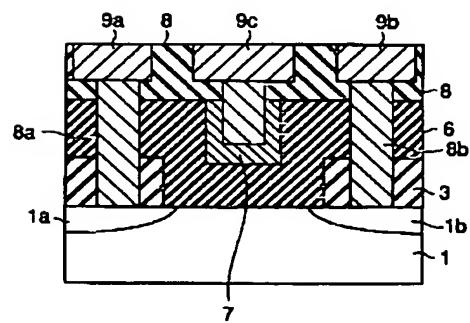
【図20】



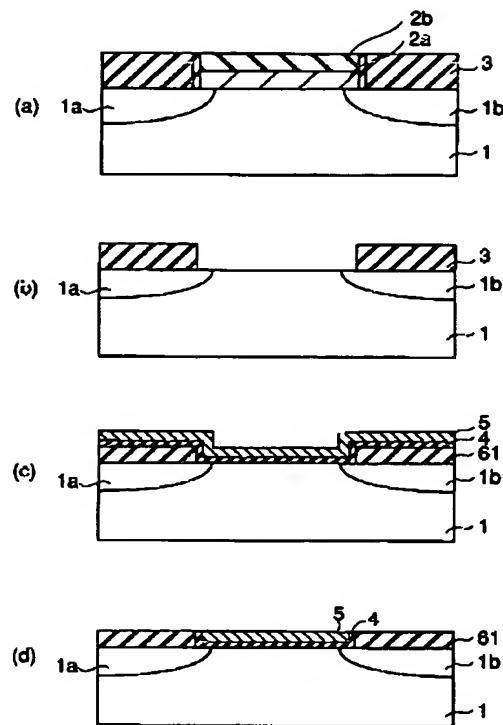
【図18】



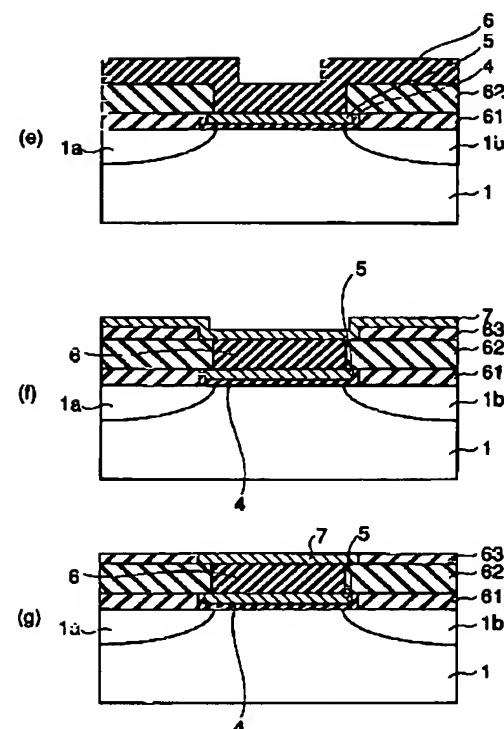
【図19】



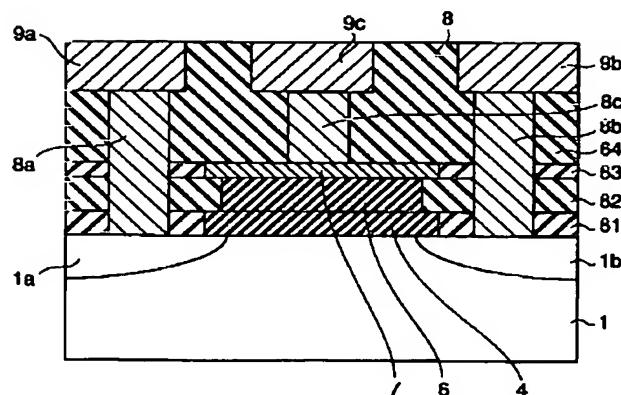
【図21】



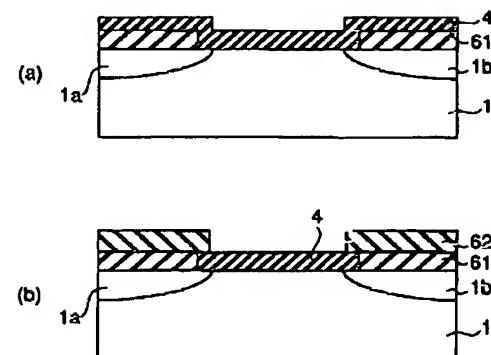
【図22】



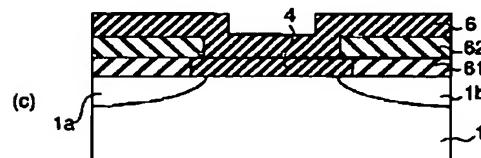
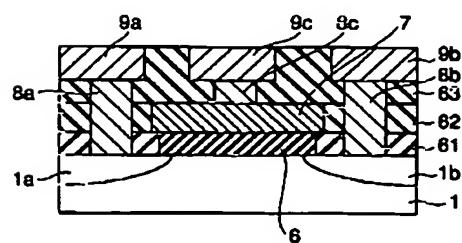
【図23】



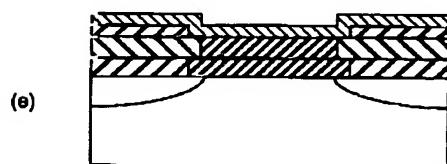
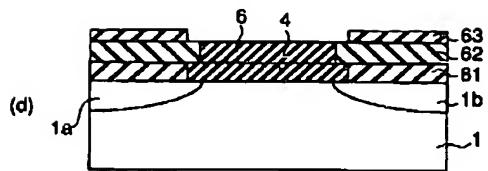
【図24】



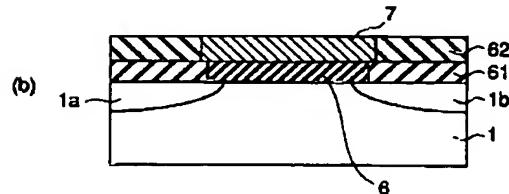
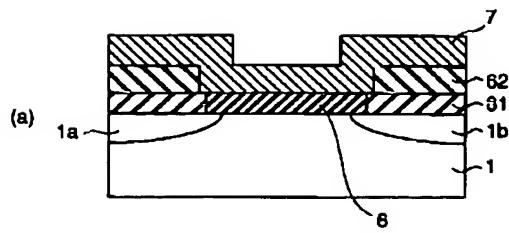
【図26】



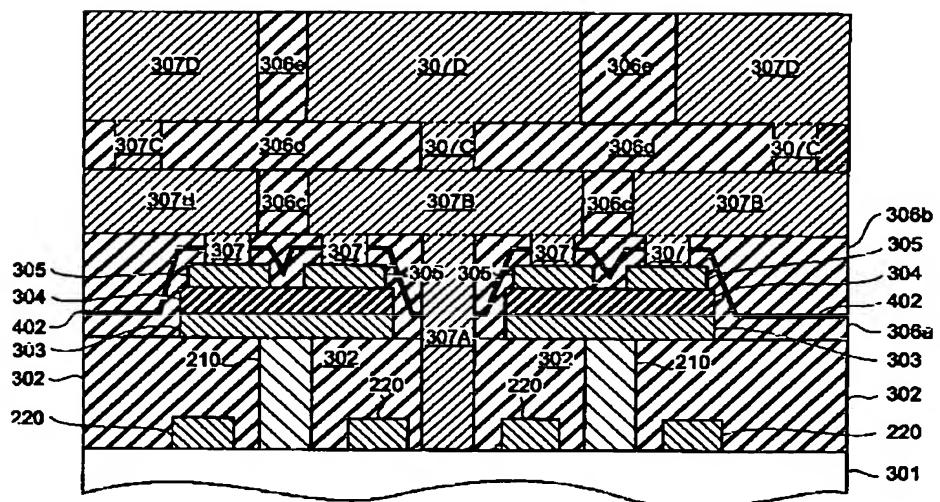
【图25】



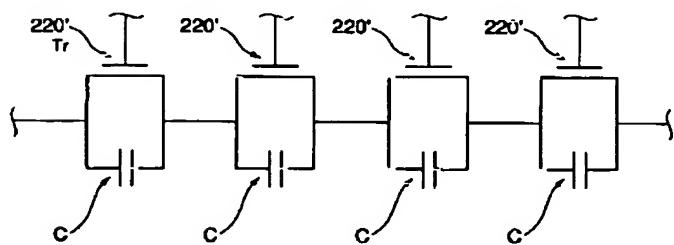
【图27】



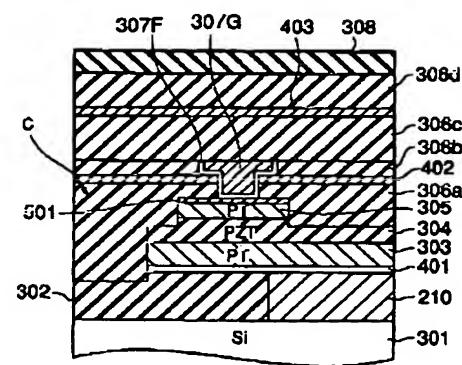
〔四〕



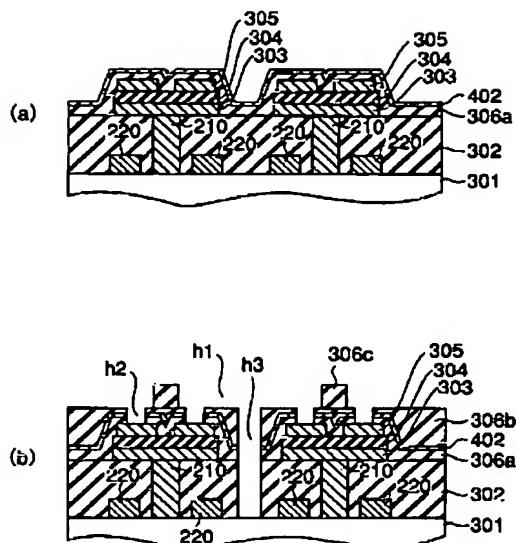
【图29】



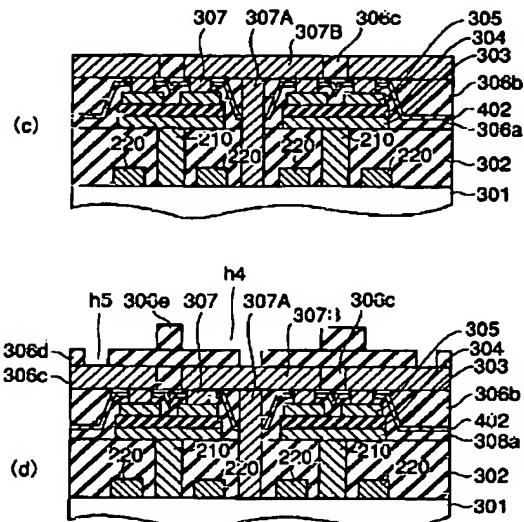
【図36】



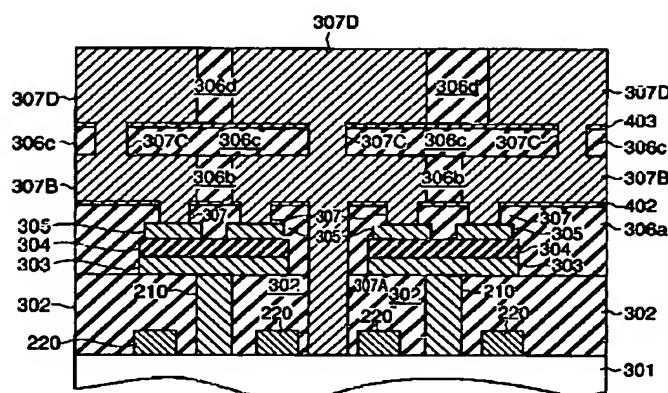
【图30】



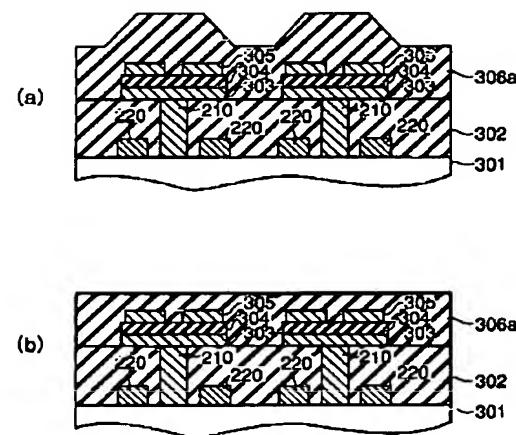
【図31】



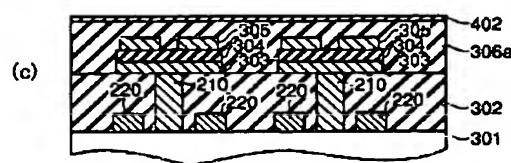
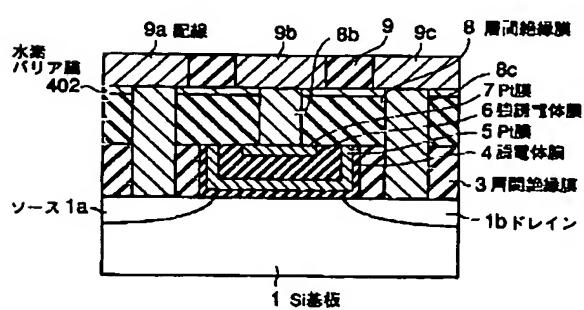
〔四三二〕



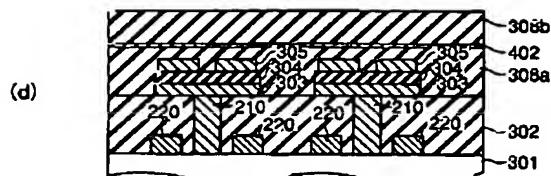
【図33】



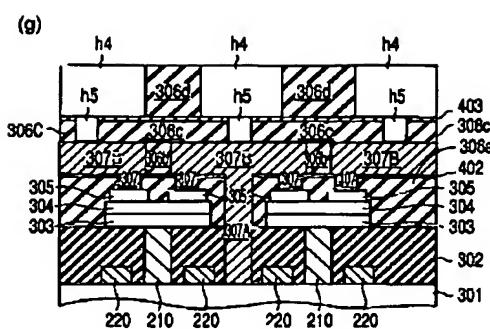
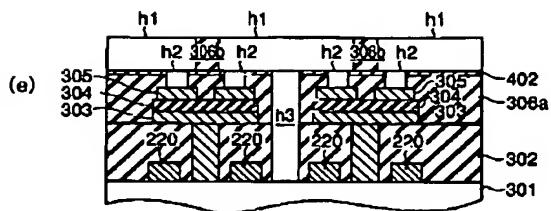
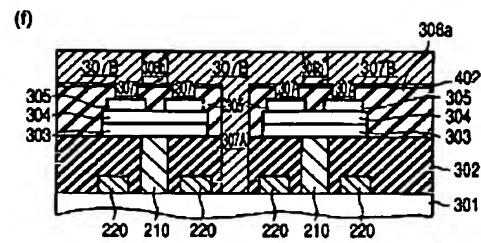
【図38】



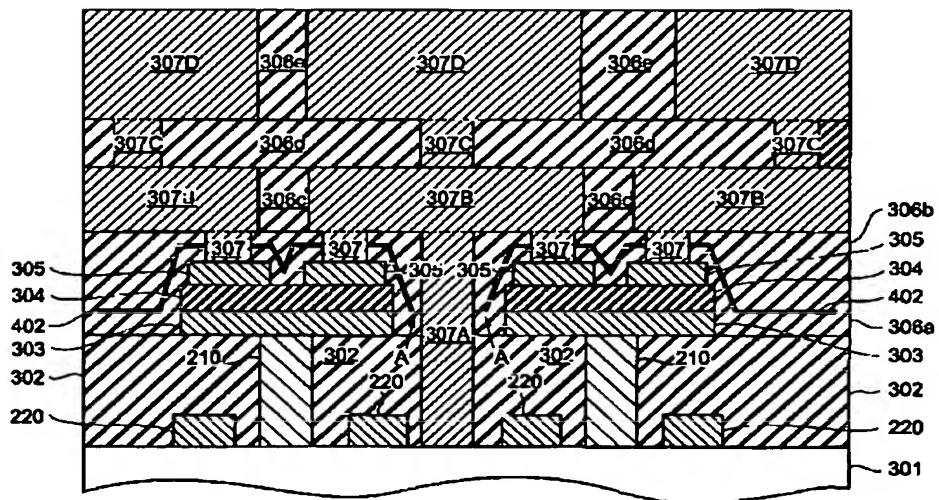
【図34】



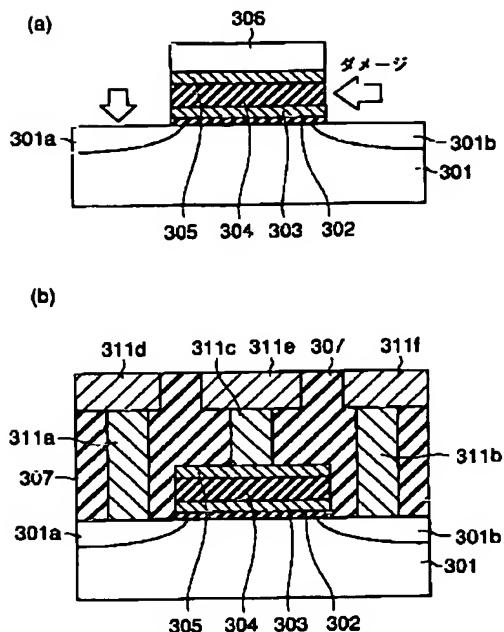
【図35】



【図37】



【図39】



フロントページの続き

Fターム(参考) 5F001 AA01 AA17 AB02 AB04 AD12
AD33 AG21 AG30
5F083 FR02 FR05 FR06 FR07 GA25
JA02 JA12 JA15 JA38 JA39
JA40 JA56 MA06 MA16 MA17
PR21 PR33 PR34
5F101 BA01 BA62 BB02 BB08 BD02
BD20 BH02 BH16